

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-094600

(43)Date of publication of application : 07.04.1995

(51)Int.Cl.

H01L 21/8242

H01L 21/822

H01L 27/04

H01L 27/108

(21)Application number : 06-069774

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 07.04.1994

(72)Inventor : KASHIWABARA KEIICHIROU  
ITO HIROMI

(30)Priority

Priority number : 05159206

Priority date : 29.06.1993

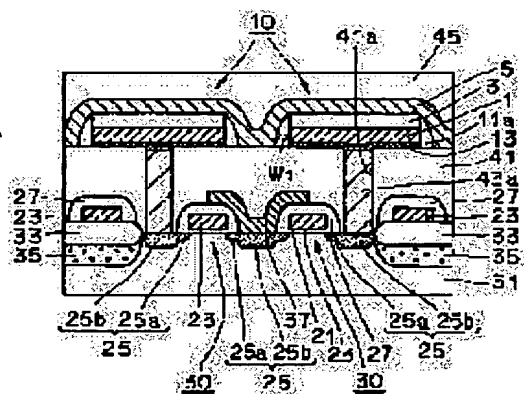
Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

## (57)Abstract:

PURPOSE: To obtain a capacitor having good leak resistance and withstand voltage.

CONSTITUTION: A transfer gate transistor 30 having a source-drain region 25 is formed on the surface of a silicon substrate 31. A lower electrode layer 1 is formed to be connected with the source-drain region 25 through a plug layer 43a filling a contact hole 41a made through an interlayer insulation film 41. A capacitor dielectric layer 3 including a ferroelectric layer is formed on the lower electrode layer while exposing at least the side wall face thereof. A side wall insulation film 11a having the profile of side wall spacer is formed on the upper surface of the interlayer insulation film 41 while covering the exposed surface including the side wall face of the lower electrode layer 1. An upper electrode layer 5 is formed while covering the lower electrode layer 1 through the side wall insulation film 11a and the capacitor insulation layer 3.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

• [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-94600

(43) 公開日 平成7年(1995)4月7日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8242  
21/822  
27/04

7210-4M

H 0 1 L 27/ 10

3 2 5 J

7210-4M

3 2 5 C

審査請求 未請求 請求項の数 8 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願平6-69774

(22) 出願日 平成6年(1994)4月7日

(31) 優先権主張番号 特願平5-159206

(32) 優先日 平5(1993)6月29日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 柏原 慶一朗

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

(72) 発明者 伊藤 博巳

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

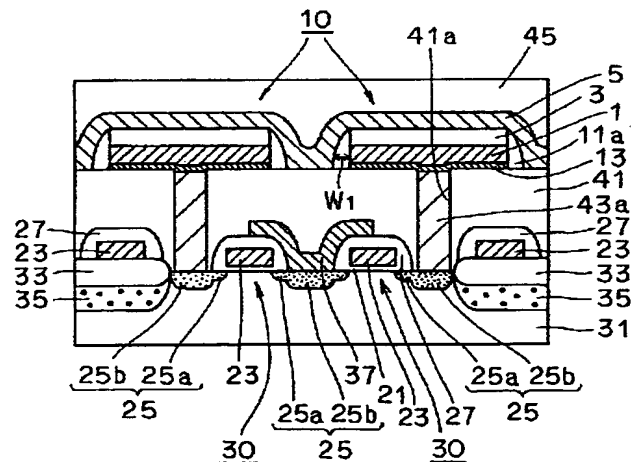
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 良好な耐リーク特性および耐圧特性を有するキャパシタを得る。

【構成】 シリコン基板31の表面にはソース/ドレイン領域25を揺するトランスファゲートトランジスタ30が形成されている。このソース/ドレイン領域25と、層間絶縁膜41に形成されたコンタクトホール41aを埋込むプラグ層43aを通じて接続されるように下部電極層1が形成されている。少なくとも下部電極層1の側壁面を露出するように下部電極層上には強誘電体層を含むキャパシタ絶縁層3が形成されている。下部電極層1の側壁面を含む露出表面を覆うように層間絶縁膜41の上部表面上にサイドウォールスペーサ形状を有する側壁絶縁膜11aが形成されている。この側壁絶縁膜11aとキャパシタ絶縁層3とを介在して下部電極層1を覆うように上部電極層5が形成されている。



1: 下部電極層  
3: キャパシタ絶縁層  
5: 上部電極層  
10: キャパシタ  
11a: 側壁絶縁層  
25: ソース/ドレイン領域  
31: シリコン基板  
41: 層間絶縁膜  
41a: コンタクトホール  
43a: プラグ層

## 【特許請求の範囲】

【請求項 1】 主表面を有する半導体基板と、  
前記半導体基板の主表面に形成された導電領域と、  
前記導電領域を覆うように前記半導体基板の主表面上に  
形成され、かつその上部表面から前記導電領域の表面に  
達する孔を有する絶縁層と、  
前記孔を通じて前記導電領域に電氣的に接続され、かつ  
前記絶縁層の上部表面上に形成された下部電極層と、  
高誘電率材料を含み、前記下部電極層上に形成されたキャ  
パシタ絶縁層と、  
少なくとも前記下部電極層の側壁を覆うように形成され  
た側壁絶縁層と、  
前記キャパシタ絶縁層と前記側壁絶縁層との上に前記下  
部電極層を覆うように形成された上部電極層とを備え  
た、半導体装置。

【請求項 2】 前記側壁絶縁層は、前記絶縁層の上部表  
面上に形成され、かつ前記上部表面から上方へ連続的に  
幅が小さくなるように延びている、請求項 1 に記載の半  
導体装置。

【請求項 3】 前記高誘電率材料は常誘電体である、請  
求項 1 に記載の半導体装置。

【請求項 4】 前記側壁絶縁層は、前記キャパシタ絶縁  
層の側壁および上部表面上を覆い、前記キャパシタ絶縁  
層の上部表面と前記上部電極層との間に介在する、請求  
項 1 に記載の半導体装置。

【請求項 5】 前記側壁絶縁層の材料は、 $ZrO_2$ 、 $TiO_2$ 、 $Ta_2O_5$  の群から選ばれる少なくとも 1 種よ  
りなる、請求項 4 に記載の半導体装置。

【請求項 6】 半導体基板の主表面に導電領域を形成す  
る工程と、  
前記導電領域を覆うように、かつその上部表面から前記  
導電領域の表面に達する孔を有する第 1 の絶縁層を形成  
する工程と、  
前記孔を通じて前記導電領域と電氣的に接続されるよう  
に前記第 1 の絶縁層の上部表面上に下部電極層を形成す  
る工程と、  
前記下部電極層上に高誘電率材料を含むキャパシタ絶縁  
層を形成する工程と、  
前記キャパシタ絶縁層上に所定の形状を有するマスクを  
形成する工程と、  
前記マスクを用いて前記キャパシタ絶縁層と前記下部電  
極層を選択的に除去することによりパターンニングし、前  
記下部電極層の少なくとも側壁を露出させる工程と、  
パターンニングされた前記下部電極層と前記キャパシタ絶  
縁層とを覆うように前記第 1 の絶縁層の上部表面上に第  
2 の絶縁層を形成する工程と、  
前記第 2 の絶縁層を異方性エッチングすることにより、  
前記下部電極層の側壁を覆うように側壁絶縁層を形成す  
る工程と、  
前記キャパシタ絶縁層と前記側壁絶縁層との上に前記下

部電極層を覆うように上部電極層を形成する工程とを備  
えた、半導体装置の製造方法。

【請求項 7】 前記第 2 の絶縁層を前記異方性エッチン  
グすることにより、前記側壁絶縁層が前記キャパシタ絶  
縁層の側壁および上部表面上に残存され、前記側壁絶縁  
層上に前記上部電極層が形成される、請求項 6 に記載の  
半導体装置の製造方法。

【請求項 8】 前記側壁絶縁層が形成された後に、前記  
下部電極層に熱処理を施す工程をさらに備え、  
前記熱処理が施された後に、前記上部電極層が形成され  
る、請求項 6 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置およびその  
製造方法に関し、特にキャパシタの電極間に介在する誘  
電体膜に高誘電率材料を用いた半導体装置およびその製  
造方法に関するものである。

## 【0002】

【従来の技術】 近年、コンピュータなどの情報機器の目  
覚ましい普及によって、半導体記憶装置の需要が急速に  
拡大している。また機能的には、大規模な記憶容量を有  
し、かつ高速動作が可能なものが要求されている。これ  
に伴って、半導体記憶装置の高集積化および高速応答  
性あるいは高信頼性に関する技術開発が進められてい  
る。

【0003】 半導体記憶装置の中で、記憶情報のランダ  
ムな入出力が可能なものとして DRAM (Dynamic Rand  
om Access Memory) が一般的に知られている。この DR  
AM は、多数の記憶情報を蓄積する記憶領域であるメモ  
リセルアレイと、外部との入出力に必要な周辺回路とから  
構成されている。

【0004】 以下、この DRAM の構成について説明す  
る。図 33 は、一般的な DRAM の構成を示すブロック  
図である。図 33 を参照して、DRAM 350 は、メモ  
リセルアレイ 351 と、ロウアンドカラムアドレスバッ  
ファ 352 と、ロウデコーダ 353 と、カラムデコーダ  
354 と、センスリフレッシュアンプ 355 と、データ  
インバッファ 356 と、データアウトバッファ 357  
と、クロックジェネレータ 358 とを備えている。

【0005】 メモリセルアレイ 351 は記憶情報のデー  
タ信号を蓄積する役割をなす。ロウアンドカラムアドレ  
スバッファ 352 は、単位記憶回路を構成するメモリセ  
ルを選択するためのアドレスバッファ信号を外から受  
ける役割をなす。ロウデコーダ 353 およびカラムデ  
コーダ 354 はアドレスバッファ信号を解読することによ  
ってメモリセルを指定する役割をなす。センスリフレ  
ッシュアンプ 355 は、指定されたメモリセルに蓄積され  
た信号を増幅して読出す役割をなす。データインバッ  
ファ 356 およびデータアウトバッファ 357 は、データ  
を入力または出力する役割をなす。クロックジェネレー

タ358はクロック信号を発生する役割をなす。

【0006】このように構成されるDRAMの半導体チップ上において、メモリセルアレイ351は大きな面積を占めている。また、このメモリセルアレイ351には、単位記憶情報を蓄積するためのメモリセルがマトリックス状に複数個配列されて形成されている。すなわち、通常、メモリセルは、1個のMOS (Metal Oxide Semiconductor) トランジスタと、これに接続された1個のキャパシタとから構成されている。このメモリセルは、1トランジスタ1キャパシタ型のメモリセルとして広く知られている。このような構成を有するメモリセルは構造が簡単のためメモリセルアレイの集積度を向上させることが容易であり、大容量のDRAMに広く用いられている。

【0007】また、DRAMのメモリセルは、キャパシタの構造によっていくつかのタイプに分けることができる。この中でもスタックタイプキャパシタは、その構成上、キャパシタの電極間対向面積を増大させることが容易である。それゆえ、半導体装置の集積化に伴い素子が微細化された場合でも、キャパシタ容量を確保することが容易である。このことより、半導体記憶装置への集積化に伴ってスタックタイプのキャパシタが多く用いられるようになった。

【0008】図34は、従来のスタックタイプキャパシタを備えたDRAMの断面構造図である。図34を参照して、シリコン基板331の表面には、各素子を電気的に分離するための分離酸化膜333が形成されている。また分離酸化膜333の下側領域には、チャネルストップ領域335が形成されている。このように、分離酸化膜333とチャネルストップ領域335とにより電気的に分離されたシリコン基板331の表面にDRAMのメモリセルが形成されている。このメモリセルは、1つのトランスファゲートトランジスタ330と、1つのキャパシタ320とを有している。

【0009】このトランスファゲートトランジスタ330は、ゲート酸化膜321と、ゲート電極323と、1対のソース/ドレイン領域325とを有している。シリコン基板331の表面には、互いに所定の間隔を介して1対のソース/ドレイン領域325が形成されている。このソース/ドレイン領域325は、LDD (Lightly Doped Drain) 構造を有している。すなわち、ソース/ドレイン領域325は、比較的低濃度の不純物領域325aと比較的高濃度の不純物領域325bとの2層構造よりなっている。この1対のソース/ドレイン領域325に挟まれる領域上には、ゲート酸化膜321を介在してゲート電極323が形成されている。このゲート電極323の表面を覆うように絶縁膜327が形成されている。

【0010】このトランスファゲートトランジスタ330を覆うように、かつ1対のソース/ドレイン領域32

5の一部表面を露出するように絶縁膜329が形成されている。この絶縁膜329より露出する1対のソース/ドレイン領域325のいずれか一方と接するようにキャパシタ320が形成されている。

【0011】このキャパシタ320は、下部電極層313と、キャパシタ絶縁層315と、上部電極層317とを有している。下部電極層(ストレージノード)313は、1対のソース/ドレイン領域325のいずれか一方の表面と接し、かつ絶縁膜329上に延在して形成されている。この下部電極層の表面上を覆うように、主にシリコン酸化物よりなるキャパシタ絶縁層315が形成されている。さらに、このキャパシタ絶縁層315を介在して下部電極層313を覆うように上部電極層(セルプレート)317が形成されている。このキャパシタ絶縁層315を挟む下部電極層313と上部電極層317との対向領域において電荷が蓄積される。

【0012】キャパシタ320を覆うようにシリコン基板331の表面全面に層間絶縁膜301が形成されている。この層間絶縁膜301には、コンタクトホール301aが形成されている。このコンタクトホール301aは、1対のソース/ドレイン領域325のいずれか他方の表面に達している。コンタクトホール301aを通じてソース/ドレイン領域325と接するように層間絶縁膜301上にはビット線337が形成されている。

【0013】ビット線337は、多結晶シリコン層337aと、タングステンシリサイド層337bとを有している。すなわち多結晶シリコン層337aとタングステンシリサイド層337bとが順次積層して形成されることによりビット線337が構成されている。このビット線337を覆うように絶縁膜319が形成されている。

【0014】図34に示すスタックタイプのキャパシタを有するメモリセルは、上述したように構成上の特徴から高集積化に適している。

【0015】しかしながら、DRAMの高集積化を推し進めた場合、メモリセルサイズの縮小が余儀なくされる。このメモリセルサイズの縮小に伴って、キャパシタの平面的な占有面積も同時に縮小される。このように平面占有面積が減少した場合、その減少の割合にほぼ比例して下部電極層313の表面領域は減少し、これに伴ってキャパシタ320の電極間対向面積も減少する。すなわち、キャパシタに蓄えられる電荷量(1ビットのメモリセルに蓄えられる電荷量)が低下することになる。この1ビットのメモリセルに蓄えられる電荷量が一定値より低下した場合、記憶領域としてのDRAMの動作が不安定なものとなり、信頼性が低下する。

【0016】係るDRAMの動作の不安定化を防止するため、限られた平面占有面積内においてキャパシタの容量を増加させる必要がある。キャパシタ容量を増加させる手段として、これまでに、①キャパシタ絶縁層の薄膜化、②キャパシタ絶縁層の誘電率の増加、などが検討さ

れてきた。

【0017】①に示したキャパシタ絶縁層の薄膜化は、通常、キャパシタ絶縁層としてシリコン酸化膜を使用する限り限界に達している。このため、シリコン酸化膜よりなるキャパシタ絶縁層を用いてキャパシタ容量を増加させるためには、キャパシタ形状を筒型、フィン型などの複雑形状にする必要がある。しかしながら、このような複雑形状を有するキャパシタを製造する場合、その製造方法が極めて煩雑になるという問題点がある。

【0018】そこで、最近では、特に②に示したキャパシタ誘電率の増加に関する開発が盛んに進められている。キャパシタ絶縁層の誘電率を増加させるためには、高い誘電率を有する材料、いわゆる高誘電率材料をキャパシタ絶縁層に採用する方法がある。この高誘電率材料は、一般にシリコン酸化膜の数倍から数百倍の誘電率を有する。このため、この高誘電率材料をキャパシタ絶縁層に用いることにより、キャパシタの形状を単純形状に維持したまま、容易に容量の増加を図ることが可能となる。

【0019】なお、この高誘電率材料と呼ばれる材料の一例としては、酸化タンタル ( $\text{Ta}_2\text{O}_5$ )、チタン酸ジルコン酸鉛 (PZT)、チタン酸ジルコン酸ランタン鉛 (PLZT)、チタン酸ストロンチウム (STO)、チタン酸バリウム (BTO)、STなどが挙げられる。

【0020】以下、この高誘電率材料をキャパシタ絶縁層とするキャパシタを有するDRAMのメモリセル構造を従来の半導体装置として図を用いて説明する。

【0021】図35は、従来の半導体装置の構成を概略的に示す断面図である。図35を参照して、シリコン基板431の分離酸化膜433とチャネルストッパ領域435とにより分離された領域には、複数のDRAMのメモリセルが形成されている。このメモリセルは、トランスファゲートトランジスタ430と、キャパシタ410とを有する1トランジスタ1キャパシタ型のメモリセルである。

【0022】トランスファゲートトランジスタ430は、ゲート酸化膜421と、ゲート電極423と、1対のソース/ドレイン領域425とを有している。シリコン基板431の表面には、互いに所定の間隔を介して1対のソース/ドレイン領域425が形成されている。このソース/ドレイン領域425は、LDD構造を有している。すなわち、比較的低濃度の不純物領域425aと比較的高濃度の不純物領域425bとの2層構造よりソース/ドレイン領域425が形成されている。この1対のソース/ドレイン領域425に挟まれる領域上には、ゲート酸化膜421を介在してゲート電極423が形成されている。このゲート電極423の表面を覆うように絶縁膜427が形成されている。

【0023】トランスファゲートトランジスタ430を構成する1対のソース/ドレイン領域425のいずれか

一方に接するように、ビット線437が絶縁膜427上に延在して形成されている。このビット線437とトランスファゲートトランジスタ430とを覆うようにシリコン基板431の表面全面に層間絶縁膜441が形成されている。ビット線437は、この層間絶縁膜441によりその表面が覆われることによって、埋込みビット線とされている。

【0024】層間絶縁膜441には、コンタクトホール441aが形成されている。このコンタクトホール441aは、1対のソース/ドレイン領域425のいずれか他方の表面に達している。このコンタクトホール441a内を充填するようにプラグ層443aが形成されている。このプラグ層443aには、不純物が注入された多結晶シリコン（以下、ドーパド多結晶シリコンとする）が用いられている。このプラグ層443aを通じてソース/ドレイン領域425と電気的に接続されるようにキャパシタ410が形成されている。

【0025】キャパシタ410は、下部電極層401と、キャパシタ絶縁層403と、上部電極層405とを有している。このキャパシタ410のキャパシタ絶縁層403には、上述したとおり、たとえばPZTよりなる高誘電率材料が用いられている。また、このPZTならびにPLZTは、白金 (Pt) 上に形成した際に最も大きい比誘電率を示す。それゆえ、下部電極層401には、多くの場合白金が用いられている。

【0026】この下部電極層401は、バリア層413を介在してプラグ層443aと電気的に接続されるように、かつ層間絶縁膜401の表面上を延在するように形成されている。なお、このバリア層411は、プラグ層443a内の不純物が層間絶縁膜401へ拡散するのを防止し、かつ層間絶縁膜441と下部電極層401との密着性を向上させる役割をなしている。この下部電極層401の表面上を覆うようにPZTなどの高誘電率材料よりなるキャパシタ絶縁層403が形成されている。またこのキャパシタ絶縁層403を介在して下部電極層401を覆うように上部電極層405が形成されている。キャパシタ410を覆うように絶縁膜445が形成されている。

【0027】次に、上述した従来の半導体装置の製造方法について説明する。図36～図45は、従来の半導体装置の製造方法を工程順に示す概略断面図である。まず図36を参照して、シリコン基板431の表面にLOCOS (Local Oxidation of Silicon) 法などにより分離酸化膜433が形成される。またこの際、同時に分離酸化膜433の下側領域にチャネルストッパ領域435が形成される。

【0028】そしてシリコン基板431の表面上にゲート酸化膜421を介在してゲート電極423が形成される。このゲート電極423などをマスクとしてイオン注入を施すことにより、比較的低濃度の不純物領域425

7

aが形成される。ゲート電極423を覆うように絶縁膜427が形成される。この絶縁膜427などをマスクとしてイオン注入を施すことにより比較的高濃度の不純物領域425bが形成される。この比較的低濃度と高濃度の不純物領域425aと425bとにより、ソース／ドレイン領域425が形成される。このようにしてトランスファゲートトランジスタ430が形成される。

【0029】1対のソース／ドレイン領域425のいずれか一方と接するように埋込みビット線437が絶縁膜427上に延在するように形成される。この埋込みビット線437とトランスファゲートトランジスタ430を覆うように、シリコン酸化膜441bがCVD (Chemical Vapor Deposition) 法によりシリコン基板431の表面全面に形成される。このシリコン酸化膜441bの表面上に表面の平坦化のためレジスト膜441cが形成される。このレジスト膜441cは、SOG (Spin On Glass) 膜を塗布することによって形成された膜であってもよい。この後、レジスト膜441cおよびシリコン酸化膜441bが点線で示す位置までエッチバックされる。

【0030】図37を参照して、このエッチバックにより、その表面がほぼ平坦なシリコン酸化膜441が得られる。

【0031】図38を参照して、シリコン酸化膜441の表面全面にフォトリソレジスト451が塗布され、露光処理などにより所望の形状にパターンニングされる。このパターンニングにより、ソース／ドレイン領域425の上方にホールパターン451aを有するレジストパターン451が形成される。このレジストパターン451をマスクとしてシリコン酸化膜441に異方性エッチングが施される。このエッチングにより、シリコン酸化膜441には、ソース／ドレイン領域425の一部表面を露出するコンタクトホール441aが形成される。この後レジストパターン451が除去される。

【0032】図39を参照して、コンタクトホール441a内を充填するようにシリコン酸化膜441の表面全面にドーパント多結晶シリコン膜443がCVD法により500～8000Åの膜厚で形成される。このドーパント多結晶シリコン膜443に、少なくともシリコン酸化膜441の表面が露出するまでエッチバックが施される。

【0033】図40を参照して、このエッチバックはシリコン酸化膜441表面上のエッチング残渣を完全に除去するため、ドーパント多結晶シリコン膜443の膜厚の約20～30%のオーバーエッチングが施される。このエッチバックにより、層間絶縁膜441のコンタクトホール441a内を埋込むプラグ層443aが形成される。

【0034】図41を参照して、プラグ層443aの上部表面に接するように層間絶縁膜441の表面全面にスパッタ法によってTi (チタン) / TiN (窒化チタ

8

ン) / Ti (チタン) よりなるバリア層413が形成される。また、このバリア層413の表面全面に白金層401がスパッタ法によって形成される。

【0035】図42を参照して、所望の形状にパターンニングされたレジストパターン453が白金層401の部分表面上に形成される。このレジストパターン453をマスクとして白金層401とバリア層413が順次エッチング除去される。これにより、白金よりなる下部電極層401が形成される。この後、レジストパターン453が、酸素プラズマを用いたアッシングにより除去される。

【0036】図43を参照して、このアッシングにより、下部電極層401の上部表面が露出する。

【0037】図44を参照して、下部電極層401の表面を覆うように、たとえばPZTなどの高誘電率材料よりなるキャパシタ絶縁層403がスパッタ法により形成される。

【0038】なお、このPZTなどよりなるキャパシタ絶縁層403は、一般には、スパッタ法により形成されるが、CVD法により形成することも可能である。

【0039】図45を参照して、高誘電率材料よりなるキャパシタ絶縁層403を介在して下部電極層401を覆うように、たとえば白金よりなる上部電極層405がスパッタ法により形成される。これにより下部電極層401とキャパシタ絶縁層403と上部電極層405とからなるキャパシタ410が形成される。またキャパシタ410を覆うように絶縁膜445がCVD法により形成される。

【0040】なお、上記の製造工程において、図44に示すプロセスでキャパシタ絶縁層403をスパッタ法ではなくCVD法で製造した場合には、図46に示すような半導体装置が形成される。図46を参照して、CVD法により形成されるキャパシタ絶縁層403aは、スパッタ法で形成される膜に比較して段差被覆性(ステップカバレッジ)が良好である。

【0041】

【発明が解決しようとする課題】上記のようにキャパシタ絶縁層として高誘電率材料を用いた従来の半導体装置は構成され、かつ製造される。また上述したようにキャパシタ形状を単純形状に維持したまま容易にキャパシタ容量の増大を図ることができるため、このようなキャパシタは、たとえば256MDRAMに代表される高集積記憶素子に用いることが有望視されている。

【0042】しかしながら、従来の半導体装置およびその製造方法では、下部電極層401がパターンニングされた後にキャパシタ絶縁層403が形成される。このため、キャパシタ410を構成する下部電極層401と上部電極層405との間で耐圧特性および耐リーク特性が悪化するという問題点があった。以下、その問題点についてキャパシタ絶縁層403を(1)スパッタ法により

形成する場合、(2) CVD法で形成する場合に分けて説明する。

【0043】(1) スパッタ法により形成する場合

(i) 図45を参照して、下部電極層401が層間絶縁膜441上で所望の形状にパターンニングされて形成される。このため、下部電極層401の上部表面と層間絶縁膜441の上部表面とにより段差が構成される。このように段差が生じた表面上にスパッタ法のような段差被覆性の悪い方法によりキャパシタ絶縁層403が形成される。それゆえ、キャパシタ絶縁層403は、段差の下端部(S部)において膜厚が小さくなる。キャパシタ絶縁層403の膜厚が部分的にでも小さくなった場合、この膜厚の小さい部分(S部)において下部電極層401と上部電極層405との間でリーク電流が増大し、所定の耐圧を確保することが困難となる。すなわち、下部電極層401と上部電極層405との間で良好な耐リーク特性および耐圧特性を得ることができない。

【0044】(ii) また、図47を参照して、下部電極層401がパターンニングされた後に、キャパシタ絶縁層403が形成される場合には、キャパシタ絶縁層403は下部電極層401と層間絶縁膜441とに接して形成されることになる。すなわち、キャパシタ絶縁層403は、白金よりなる下部電極層401に接してその上に形成される部分403aと、層間絶縁膜441に接してその上に形成される部分403bとを有することとなる。

【0045】一般に、PZTならびにPLZTのごとき鉛を含む高誘電率材料については、シリコン酸化膜上に形成された場合ペロブスカイト構造が得難く、白金上に形成された場合ペロブスカイト構造が得やすいことが知られている。

【0046】また本願発明者らは、実験の結果、PZTならびにPLZTについては、ペロブスカイト構造を多く含むほど、その耐リーク特性が良好であることを見出した。以下、その実験の方法ならびにその結果について述べる。

【0047】まず、図48に示す構造を有するサンプル(A)、(B)を2つ作成し、準備した。

【0048】図48は、サンプルの構造を示す概略断面図である。図48を参照して、サンプル510は、シリコン基板501と、そのシリコン基板501上に順に積層されたシリコン酸化膜(SiO<sub>2</sub>)503と、白金(Pt)層505と、高誘電率材料よりなる膜507(以下、高誘電率材料膜とする)と、パターンニングされた白金層509とを有している。ここで高誘電率材料膜507は、PZTとPbTiO<sub>3</sub>との2層構造を有し、その上層のPZTが150nmの膜厚を有し、下層のPbTiO<sub>3</sub>が4nmの膜厚を有している。

【0049】ここで、流量60sccmのTi(チタン)を含む雰囲気中で下層のPbTiO<sub>3</sub>を成膜したも

のをサンプル(A)とし、流量180sccmのTiを含む雰囲気中で下層のPbTiO<sub>3</sub>を成膜したものをサンプル(B)とした。

【0050】図49は、このサンプル(A)と(B)との高誘電率材料膜507の表面状態を走査型電子顕微鏡(SEM)で観察した図である。図49を参照して、高誘電率材料膜507の表面の白い部分がペロブスカイト構造を示している。この白い部分(ペロブスカイト構造)がサンプル(A)ではまばらに分布しているのと比較して、サンプル(B)では密に分布している。すなわち、サンプル(B)はサンプル(A)に比較して多数のペロブスカイト構造を有している。また、このことは以下のX線回折によっても確かめられた。

【0051】図50(a)、(b)は、2つのサンプル(A)と(B)とにX線回折を行なったピーク強度比を示す図である。図50(a)、(b)を参照して、横軸が回折角度を示し、縦軸が強度を示している。サンプル(A)(図49(a))では、ペロブスカイト構造でない部分に相当する35度付近のピークに比較して、ペロブスカイト構造を示す30度付近のピーク強度が小さい。これに対して、サンプル(B)(図49(b))では、ペロブスカイト構造でない部分に相当する35度付近のピーク強度に比較して、ペロブスカイト構造を示す30度付近のピーク強度が大きい。すなわち、サンプル(B)は、サンプル(A)に比較して多くのペロブスカイト構造を有していることが確認された。

【0052】このように準備されたサンプル(A)、(B)について、各々リーク電流を測定した。その測定は、図48を参照して、パターンニングされた白金層509に電圧を印加し、そのときに高誘電率材料膜507に流れる電流値を測定することにより行なった。

【0053】図51は、上記の方法により測定したサンプル(A)と(B)の各リーク電流値を示す図である。図51を参照して、横軸がパターンニングされた白金層509に印加した電圧値であり、縦軸が高誘電率材料膜507を流れる電流密度(いわゆるリーク電流密度)である。この図51より明らかなように、サンプル(A)と(B)とに同一電圧を印加した場合、サンプル(A)の方がサンプル(B)に比較してリーク電流値が高くなることが判明した。

【0054】上記の実験結果より、ペロブスカイト構造を多数有するサンプル(B)は、ペロブスカイト構造の少ないサンプル(A)に比較してリーク電流が小さい、すなわち耐リーク特性が良好であることが判明した。

【0055】以上のことより、再び図47を参照して、キャパシタ絶縁層403において白金層401上に形成された部分403aでは、比較的多数のペロブスカイト構造を有するため耐リーク特性は比較的良好である。これに対して、層間絶縁膜441上に形成された部分403bではペロブスカイト構造が比較的少ないため、良好



な耐リーク特性を得ることができない。このため、下部電極層401と上部電極層405とに電荷が蓄積され、キャパシタ絶縁層403に電圧が印加された状態では層間絶縁膜441上に形成された部分403bにおいて電極401と405との間でリークパス（リーク電流の流れる経路：たとえば矢印A方向に沿う経路）が形成されやすくなる。従って、キャパシタ410全体として良好な耐リーク特性と耐圧特性を得ることができない。

【0056】上記(i)、(ii)より、従来例では、キャパシタ絶縁層403をスパッタ法で形成する場合、  
10 優れた耐リーク特性および耐圧特性を有するキャパシタ410を得ることはできない。

【0057】(2)CVD法により形成する場合  
図42と図43を参照して、従来の半導体装置の製造方法では、下部電極層401がパターニングされた後、レジストパターン453が酸素プラズマによるアッシングによって除去される。このアッシング時において、図52に示すように下部電極層401の上部表面が酸素プラズマにより損傷461を受けて、汚染される。

【0058】また、図42を参照して、レジストパターン453は、一般に有機材料よりなり、カーボン、  
20 ハイドロカーボンなどを含む。このため、レジストパターン453が下部電極層401上に形成されると、このカーボン、ハイドロカーボンなどが上部電極層401表面に吸着する。それゆえ、上記のアッシングによりレジストパターン453を除去しても、下部電極層401上のカーボン、ハイドロカーボンなどを完全に除去することは困難である。よって、図52に示す下部電極層401の上部表面上にカーボン、ハイドロカーボンなどの吸着物463が部分的に残存することとなる。

【0059】このように、下部電極層401上に損傷461や吸着物463などが存在する状態でCVD法によりキャパシタ絶縁層が形成される。このCVD法による、膜成長は下地膜の表面状態に非常に敏感である。このため、清浄な白金表面に形成される場合に比較して、汚染等をうけた白金表面にキャパシタ絶縁層がCVD法により形成された場合、キャパシタ絶縁層403中にペロブスカイト構造が少なくなる。結果として、キャパシタ絶縁層403中のペロブスカイト構造が少なくなるため、上述と同様の理由により、リーク電流が生じやすくなり、電極401、405間で所定の耐圧を確保することが困難となる。すなわち、下部電極層401と上部電極層405との間で良好な耐リーク特性および耐圧特性を得ることができない。

【0060】上記より、従来例では、キャパシタ絶縁層403をCVD法で形成する場合、優れた耐リーク特性および耐圧特性を有するキャパシタ410を得ることはできない。

【0061】本発明は、上記のような問題点を解決するためになされたもので、キャパシタを構成する下部電極  
50

層と上部電極層との間で良好な耐リーク特性および耐圧特性を得ることを目的とする。

#### 【0062】

【課題を解決するための手段】本発明の半導体装置は、半導体基板と、導電領域と、絶縁層と、下部電極層と、キャパシタ絶縁層と、側壁絶縁層と、上部電極層とを備えている。半導体基板は主表面を有している。導電領域は半導体基板の主表面に形成されている。絶縁層は導電領域を覆うように半導体基板の主表面上に形成され、かつその上部表面から導電領域の表面に達する孔を有している。下部電極層は、孔を通じて導電領域に電気的に接続され、かつ絶縁層の上部表面上に形成されている。キャパシタ絶縁層は、高誘電率材料を含み、下部電極層上に形成されている。側壁絶縁層は、少なくとも下部電極層の側壁を覆っている。上部電極層は、キャパシタ絶縁層と側壁絶縁層との上に下部電極層を覆うように形成されている。

【0063】本発明の半導体装置の好ましい局面に従えば、側壁絶縁層は、絶縁層の上部表面上に形成され、かつ上部表面から上方へ連続的に幅が小さくなるように延びている。

【0064】本発明の半導体装置の好ましい他の局面に従えば、前記高誘電率材料は常誘電体である。

【0065】本発明の半導体装置の好ましいさらに他の局面に従えば、側壁絶縁層は、キャパシタ絶縁層の側壁および上部表面を覆い、キャパシタ絶縁層の上部表面と上部電極層との間に介在する。

【0066】本発明の半導体装置の好ましいさらに他の局面に従えば、側壁絶縁層の材料は、 $ZrO_2$ 、 $TiO_2$ 、 $Ta_2O_5$ の群から選ばれる少なくとも1種よりなる。  
30

【0067】本発明の半導体装置の製造方法は、以下の工程を備えている。まず半導体基板の主表面に導電領域が形成される。そして導電領域を覆うように、かつその上部表面から導電領域の表面に達する孔を有する第1の絶縁層が形成される。そして孔を通じて導電領域に電気的に接続されるように、第1の絶縁層の上部表面上に下部電極層が形成される。下部電極層上に高誘電率材料を含むキャパシタ絶縁層が形成される。そしてキャパシタ絶縁層上に所定の形状を有するマスクが形成される。そしてマスクを用いてキャパシタ絶縁層と下部電極層とを選択的に除去することによりパターニングし、下部電極層の少なくとも側壁が露出される。そしてパターニングされた下部電極層とキャパシタ絶縁層とを覆うように第1の絶縁層の上部表面上に第2の絶縁層が形成される。そして第2の絶縁層を異方性エッチングすることにより、下部電極層の側壁を含む露出表面を覆うように側壁絶縁層が形成される。そしてキャパシタ絶縁層と側壁絶縁層との上に下部電極層を覆うように上部電極層が形成される。  
40

【0068】本発明の半導体装置の製造方法の好ましい局面に従えば、第2の絶縁層を異方性エッチングすることにより、側壁絶縁層がキャパシタ絶縁層の側壁および上部表面上に残存され、その側壁絶縁層上に上部電極層が形成される。

【0069】本発明の半導体装置の製造方法の好ましい他の局面に従えば、側壁絶縁層が形成された後に下部電極層に熱処理が施される工程がさらに備えられる。この熱処理が施された後に上部電極層が形成される。

【0070】

【作用】本発明の半導体装置では、キャパシタ絶縁層は、下部電極層上にのみ形成されている。このため、絶縁層と下部電極層とから構成される段差部上にキャパシタ絶縁層が存在することはない。よって、この段差部上において、キャパシタ絶縁層の膜厚が薄くなったり、膜切れが生じたりすることはない。したがって、キャパシタの機能は維持でき、良好な耐リーク特性および耐圧特性を有するキャパシタを得ることが可能となる。

【0071】また、キャパシタ絶縁層は、下部電極層上にのみ形成されている。このため、このキャパシタ絶縁層は比較的多数のペロブスカイト構造を有することとなる。よって、電極間におけるリークパスの形成は抑制され、それゆえ良好な耐リーク特性および耐圧特性を有するキャパシタを得ることが可能となる。

【0072】本発明の半導体装置の好ましい局面では、少なくとも下部電極層の側壁を覆うように側壁絶縁層が形成されている。また、この側壁絶縁層は絶縁層上から上方へ延びる部分を有し、この上方へ延びる部分は、下側部分ほどその幅が大きく、上側部分ほどその幅が小さくなるように形成されている。すなわち、側壁絶縁層は順テーパ形状を有している。このため、側壁絶縁層によって絶縁層と下部電極層とから構成される段差の側壁がなだらかな形状とされる。よって、たとえば上部電極層がスパッタ法のような段差被覆性の悪い方法により形成された場合でも、この段差部においてキャパシタ絶縁層の段差被覆性が改善される。また、側壁絶縁層は、下部電極層と上部電極層とを絶縁する役割をもなす。

【0073】本発明の半導体装置の好ましい他の局面では、キャパシタ絶縁層として常誘電体が用いられているため、強誘電体が用いられる場合に比較して、キャパシタの実効電荷量を大きく確保することができ、かつキャパシタ絶縁層の膜疲労も生じ難い。キャパシタの実効電荷量を大きく確保できるため、キャパシタに蓄積されたデータの読出時において誤動作が生じ難くなる。またキャパシタ絶縁層の膜疲労も生じ難くなるため、キャパシタ電極間でリーク電流の発生も防止できる。

【0074】本発明の半導体装置の好ましいさらに他の局面では、側壁絶縁層がキャパシタ絶縁層の上部表面上を覆っているため、キャパシタ絶縁層の上部表面にダメージが与えられることは防止される。よって、かかるダ

メージに起因するキャパシタ電極間のリーク電流が増大することは防止される。

【0075】本発明の半導体装置の好ましいさらに他の局面では、キャパシタ絶縁層の上部表面上を覆う側壁絶縁層が $ZrO_2$ などのシリコン窒化膜などより誘電率の高い材料よりなっている。このため、キャパシタ電極間にキャパシタ絶縁層以外に側壁絶縁層が介在しても、それほどキャパシタ容量は低下せず、良好なキャパシタ容量を維持することができる。

10 【0076】本発明の半導体装置の製造方法では、下部電極層をパターニングする前に、この下部電極層上にキャパシタ絶縁層が形成される。このため、キャパシタ絶縁層が形成される下部電極層の表面もしくは表面上には、下部電極層のパターニングにより生じる損傷やレジスト中の成分（カーボン、ハイドロカーボンなど）は存在しない。よって、たとえば下地表面に敏感な成長法であるCVD法によりキャパシタ絶縁層が形成された場合でも、下部電極層上において比較的ペロブスカイト構造の多いキャパシタ絶縁層を得ることが可能となる。したがって、耐リーク特性および耐圧特性に優れたキャパシタを形成することができる。

【0077】また、下部電極層をパターニングする前に、この下部電極層上にキャパシタ絶縁層が形成される。このため、絶縁層とパターニングされた下部電極層とにより構成される段差部上にキャパシタ絶縁層が形成されることはない。よって、この段差部上においてキャパシタ絶縁層の膜厚の薄い部分が生じたり、膜切れが生じたりすることはない。それゆえ、良好な耐リーク特性および耐圧特性を有するキャパシタを形成することができる。

30 【0078】さらに、下部電極層をパターニングする前に、この下部電極層上にキャパシタ絶縁層が形成される。このため、キャパシタ絶縁層は下部電極層上にのみ形成される。よって、たとえばスパッタ法でキャパシタ絶縁層が形成される場合でも、絶縁層上に形成された部分に比べて、比較的多数のペロブスカイト構造をキャパシタ絶縁層は有している。よって、電極間におけるリークパスの形成は抑制され、それゆえ良好な耐リーク特性および耐圧特性を有するキャパシタを形成することができる。

40 【0079】本発明の半導体装置の製造方法の好ましい局面では、第2の絶縁層を異方性エッチングする際にキャパシタ絶縁層は第2の絶縁層から露出することはないため、キャパシタ絶縁層の上部表面にエッチングによるダメージが与えられることはない。このため、キャパシタ電極間に、このダメージによるリーク電流が生ずることは防止される。

【0080】本発明の半導体装置の製造方法の好ましい他の局面では、下部電極層に熱処理が施されるため、側壁絶縁層の形成時に下部電極層の上部表面に導入された

ダメージは修復される。このため、キャパシタ電極間にこのダメージによるリーク電流が生ずることは防止される。

#### 【0081】

【実施例】以下、本発明の実施例について図を用いて説明する。

#### 【0082】実施例1

図1は、本発明の第1の実施例における半導体装置の構成を概略的に示す断面図である。図1を参照して、シリコン基板31の表面には、分離酸化膜33が形成されている。またこの分離酸化膜33の下面に接するようにチャネルストッパ領域35が形成されている。この分離酸化膜33とチャネルストッパ領域35とにより電氣的に分離されるシリコン基板31の表面には、複数のトランスファゲートトランジスタ30が形成されている。

【0083】トランスファゲートトランジスタ30は、ゲート酸化膜21と、ゲート電極23と、1対のソース／ドレイン領域25とを有している。シリコン基板31の表面には、1対のソース／ドレイン領域25が所定の間隔を介して形成されている。このソース／ドレイン領域25は、LDD構造を有している。すなわちソース／ドレイン領域25は、比較的低濃度の不純物領域25aと比較的高濃度の不純物領域25bとの2層構造により形成されている。この1対のソース／ドレイン領域25に挟まれる領域上にゲート酸化膜21を介在してゲート電極23が形成されている。このゲート電極23の表面を覆うように絶縁膜27が形成されている。

【0084】この絶縁膜27の表面上に延在するように、かつ1対のソース／ドレイン領域25のいずれか一方と接するようにビット線37が形成されている。このビット線37およびトランスファゲートトランジスタ30を被覆するようにシリコン酸化膜(SiO<sub>2</sub>)41が形成されている。この層間絶縁膜41により覆われることによってビット線37は埋込みビット線とされている。

【0085】層間絶縁膜41には、その上部表面から1対のソース／ドレイン領域25のいずれか他方の一部表面に達するコンタクトホール41aが形成されている。このコンタクトホール41aを充填し、それによりソース／ドレイン領域25の表面と接するようにドーフト多結晶シリコンよりなるプラグ層43aが形成されている。このプラグ層43aとバリア層13とを通じてソース／ドレイン領域25と電氣的に接続するようにキャパシタ10が形成されている。

【0086】バリア層13は、チタン(Ti)/窒化チタン(TiN)/チタン(Ti)の3層構造を有し、プラグ層43aと接するように形成されている。バリア層13を構成する各膜の膜厚は、各々100Å程度である。このバリア層13は、ドーフト多結晶シリコンよりなるプラグ層43aから下部電極層1に不純物が拡散す

ることを防止し、かつ層間絶縁膜41と下部電極層1との密着性を向上させる役割をなしている。

【0087】キャパシタ10は、下部電極層1と、キャパシタ絶縁層3と、上部電極層19とを有している。下部電極層1は、バリア層13を介在して層間絶縁膜41の表面上に500~700Åの膜厚で形成されている。またこの下部電極層1は白金(Pt)よりなっている。この下部電極層1の表面上にたとえばPZT、BST、ST、PZTなどの高誘電率材料よりなるキャパシタ絶縁層3が形成されている。このキャパシタ絶縁層3の膜厚は、BSTを用いた場合には500~1000Å程度(なお、600~800Å程度の膜厚がより好ましい)であり、STを用いた場合には300~700Å程度であり、PZTを用いた場合には1000~2000Åである。このキャパシタ絶縁層3と下部電極層1との側壁は連続する面を形成している。

【0088】なお、BST、STは常誘電体であり、その誘電率εは各々350、250である。またPZTは強誘電体であり、その誘電率εは700である。

【0089】この下部電極層1とキャパシタ絶縁層3の側壁を覆うように側壁絶縁層11aが層間絶縁膜41上に形成されている。この側壁絶縁層11aは、層間絶縁膜41の上部表面から連続的に幅W<sub>1</sub>が小さくなるように上方へ延びて形成されている。すなわち、側壁絶縁層11aの上側部分ほど下側部分に比較してその幅が小さくなるように形成されている。このキャパシタ絶縁層3と側壁絶縁層11aとを介在して下部電極層1を覆うように上部電極層5が形成されている。この上部電極層5は、たとえば白金よりなっているいてもよく、またこれに限られずドーフト多結晶シリコンよりなっているいてもよい。このキャパシタ10を被覆するように絶縁膜45が形成されている。

【0090】次に、本実施例における半導体装置の製造方法について説明する。図2~図11は、本発明の第1の実施例における半導体装置の製造方法を工程順に示す概略断面図である。

【0091】まず図2を参照して、シリコン基板31の分離酸化膜33とチャネルストッパ領域35とにより分離される領域に、ゲート酸化膜21とゲート電極23と1対のソース／ドレイン領域25とを有するトランスファゲートトランジスタ30が形成される。またゲート電極23の表面を覆う絶縁膜27の表面上に延在するように、かつ1対のソース／ドレイン領域25のいずれか一方と接するようにビット線37が形成される。このビット線37は、たとえばドーフト多結晶シリコン膜より形成される。

【0092】このビット線37とトランスファゲートトランジスタ30とを覆うようにシリコン基板31の表面全面に減圧CVD法を用いてシリコン酸化膜41が形成される。このシリコン酸化膜41の表面にSOG膜(図

17

示せず)が塗布され、その表面が比較的平坦とされる。この後、SOG膜とシリコン酸化膜41とをエッチバックし、それによりほぼ平坦な上部表面を有する層間絶縁膜41が形成される。

【0093】図3を参照して、層間絶縁膜41の表面全面にフォトレジスト51が塗布される。このフォトレジスト51は、露光処理などによりソース/ドレイン領域25の上方にホールパターン51aを有するようにパターンニングされる。このレジストパターン51をマスクとして層間絶縁膜41に異方性エッチングが施される。このエッチングにより層間絶縁膜41には、ソース/ドレイン領域25のいずれか他方の表面に達するコンタクトホール41aが形成される。またこのコンタクトホール41aは、その開口径が0.2~0.6 $\mu$ m程度で形成される。この後、レジストパターン51aが除去される。

【0094】図4を参照して、コンタクトホール41aを埋込むように、層間絶縁膜41の表面全面にドーフト多結晶シリコン膜43が3000~9000Åの膜厚でCVD法により形成される。このドーフト多結晶シリコン膜43にエッチバックが施される。

【0095】このエッチングの条件は、たとえばガス系:SF<sub>6</sub>、SF<sub>6</sub>の流量:100sccm、ガス圧:500mTorr、RF電力:200W、時間:1~2分である。また、この条件下でのドーフト多結晶シリコン膜43のエッチング速度は4000~6000Å/min.である。

【0096】図5を参照して、上記のエッチングにより、少なくとも層間絶縁膜41の上部表面が露出するまでドーフト多結晶シリコン膜43は除去される。これにより、コンタクトホール41a内を充填し、それによりソース/ドレイン領域25の表面と接するプラグ層43aが形成される。

【0097】図6を参照して、プラグ層43aの上部表面と接するように層間絶縁膜41の上部表面全面にバリア層13として、チタン層、窒化チタン層、チタン層の3層が各々100Å程度の膜厚で順次スパッタ法により形成される。この後、最下層チタン層と層間絶縁膜41とのシリサイド化を行なうため、温度650℃で20分間、窒素(N<sub>2</sub>)あるいはアルゴン(Ar)の雰囲気下で熱処理が施される。バリア層13の表面全面に白金層1が500~700Åの膜厚でたとえばCVD法により形成される。この後、バリア層13を構成する最上層チタン層と下部電極層1の白金との合金化のため、温度650℃で20分間、窒素あるいはアルゴン雰囲気下で熱処理が施される。

【0098】なお、この合金化が施された白金よりなる下部電極層1の表面上にさらに白金層を形成してもよい。

【0099】図7を参照して、白金層1の表面全面にた

18

たとえばPZT、BST、ST、PZTなどの高誘電率材料よりなる層3が形成される。高誘電率材料にPZTを用いた場合、この高誘電率材料層3は、1000~2000Åの膜厚で、またBSTあるいはSTを用いた場合には各々500~1000Å、300~700Åの膜厚で形成される。この後、高誘電率材料としてPZTをスパッタ法により形成した場合には、PZTをペロブスカイト化するための熱処理が高誘電率材料層3に施される。この熱処理の条件は、酸素(O<sub>2</sub>)雰囲気中でたとえば温度550℃では3時間、あるいは温度650℃では30分間加熱される。

【0100】図8を参照して、高誘電率材料層3の表面上に、所望の形状にパターンニングされたレジストパターン53が形成される。このレジストパターン53をマスクとして高誘電率材料層3、白金層1およびバリア層13が順次異方性エッチングによりパターンニングされる。このパターンニングにより、白金よりなる下部電極層1がバリア層13とプラグ層43aとを通じてソース/ドレイン領域25と電気的に接続するように形成される。またこのパターンニングにより、下部電極層1の表面上に高誘電率材料よりなるキャパシタ絶縁層3が形成される。この下部電極層1とキャパシタ絶縁層3との側壁は実質的に連続する面をなしている。この後、レジストパターン53が除去される。

【0101】図9を参照して、下部電極層1とキャパシタ絶縁層3との表面全面を覆うようにシリコン酸化物あるいはシリコン窒化物よりなる絶縁膜11が2000~3000Å程度の膜厚でCVD法により形成される。この絶縁膜11に、少なくともキャパシタ絶縁層3の表面が露出するまで異方性エッチングが施される。

【0102】図10を参照して、このエッチングにより、下部電極層1とキャパシタ絶縁層3との側壁を覆うように側壁絶縁層11aが形成される。

【0103】図11を参照して、キャパシタ絶縁層3と側壁絶縁層11aを介して下部電極層1を覆うように白金あるいはドーフト多結晶シリコンよりなる上部電極層5が形成される。これにより、下部電極層1とキャパシタ絶縁層3と上部電極層5とからなるキャパシタ10が形成される。このキャパシタ10を覆うように絶縁膜45が形成される。

【0104】本実施例の半導体装置では、図1に示すように、下部電極層1とキャパシタ絶縁層3との側壁を覆うように側壁絶縁層11aが形成されている。この側壁絶縁層11aは層間絶縁膜41の上部表面から上方へ延びており、この上方へ延びる部分は、その下側部分ほど幅Wが大きく、かつ上側部分ほどその幅Wが小さくなるように形成されている。すなわち、側壁絶縁層11aは順テーパ形状を有しており、なだらかな表面を有している。このため、側壁絶縁層11aによって、層間絶縁膜41とキャパシタ絶縁層3とから構成される段差の側壁

がなだらかな形状とされる。よって、たとえ上部電極層5がスパッタ法のような段差被覆性の悪い方法により形成された場合でも、この段差部上における上部電極層5の段差被覆性が改善される。

【0105】また、キャパシタ絶縁層3は、下部電極層1上にのみ形成されている。このため、従来例のように層間絶縁膜41と下部電極層1との上部表面から構成される段差部上にキャパシタ絶縁層3が存在することはない。よって、係る段差部上において、キャパシタ絶縁層3の膜厚が薄くなったり、膜切れが生じたりすることはない。したがって、キャパシタ絶縁層3の膜厚が薄くなることによりキャパシタ10の耐リーク特性および耐圧特性が悪化することもない。また、キャパシタ絶縁層3の膜切れが生じることにより、キャパシタ10の機能が維持できないという事態も生じない。したがって、良好な耐リーク特性および耐圧特性を有するキャパシタ10を得ることが可能となる。

【0106】さらに、キャパシタ絶縁層3は、下部電極層1の表面上にのみ形成されている。このため、たとえばスパッタ法でキャパシタ絶縁層3が形成される場合でも、層間絶縁膜41上に形成される部分に比べて、キャパシタ絶縁層3は比較的多数のペロブスカイト構造を有している。よって、上下電極1と5との間におけるリークパスの形成は抑制され、それゆえ良好な耐リーク特性および耐圧特性を有するキャパシタを得ることが可能となる。

【0107】本実施例の半導体装置の製造方法では、図7と図8に示すプロセスにおいて、下部電極層1とキャパシタ絶縁層3とが順次積層して形成された後、両層1、3がパターニングされる。すなわち、従来の製造方法のように下部電極層1を一旦パターニングした後にキャパシタ絶縁層3が形成されることはない。

【0108】従来例のように下部電極層1をパターニングにより形成した後にキャパシタ絶縁層3をスパッタ法で形成する場合には、層間絶縁膜41と下部電極層1とで構成される段差部上においてキャパシタ絶縁層3の膜厚が薄くなったり膜切れを起こしたりする。

【0109】しかし、下部電極層1のパターニング前にキャパシタ絶縁層3が形成されるため、キャパシタ絶縁層3はほぼ平坦な表面を有する白金層1上に形成される。このため、層間絶縁膜41と下部電極層1とで構成される段差部上にキャパシタ絶縁層3が分布することはない。よって、キャパシタ絶縁層3の膜厚が薄くなったり、膜切れが生じることによるキャパシタ10の耐リーク特性および耐圧特性の劣化は生じない。したがって、耐リーク特性および耐圧特性に優れたキャパシタ10を製造することができる。

【0110】さらに、従来例のように下部電極層1をパターニングした後に、キャパシタ絶縁層3をスパッタ法で形成する場合には、キャパシタ絶縁層3は層間絶縁膜

41上に形成される部分を有する。この層間絶縁膜41上に形成された部分は、下部電極層1上に形成された部分よりペロブスカイト構造が少ない。このため、上下電極1、5間でリークパスが形成されやすく、キャパシタ410の耐リーク特性などの劣化を生じていた。

【0111】しかし、本実施例では下部電極層1のパターニング前にキャパシタ絶縁層3が形成されるため、キャパシタ絶縁層3は下部電極層1上にのみ形成され、層間絶縁膜41上に形成されることはない。よって、キャパシタ絶縁層3は全体的にペロブスカイト構造を比較的多数含む膜質となり、上下電極1、5間においてリークパスは形成され難くなる。したがって、耐リーク特性および耐圧特性に優れたキャパシタ10を製造することができる。

【0112】さらに、従来例のように下部電極層1をパターニングするときには上述したように、下部電極層1の表面に酸素プラズマによる損傷が与えられたり、レジスト中の成分（カーボンなど）が吸着したりする。このため、キャパシタ絶縁層3をCVD法のように下地層の表面状態に敏感な方法で形成すると、キャパシタ絶縁層3においてペロブスカイト構造が得がたい。ゆえに、キャパシタ10の耐リーク特性および耐圧特性が劣化していた。

【0113】しかし、本実施例では下部電極層1のパターニング前にキャパシタ絶縁層3が形成されるため、下部電極層1の表面に損傷が与えられたり、レジスト中の成分が吸着することはない。よって、CVD法によりペロブスカイト構造を比較的多数有するキャパシタ絶縁層3を下部電極層1上に形成することができる。したがって、耐リーク特性および耐圧特性に優れたキャパシタ10を製造することができる。

【0114】なお、本実施例においては、図1に示すように側壁絶縁層11aは、バリア層13と下部電極層1とキャパシタ絶縁層3との厚みの和とほぼ同じ高さを有している。しかしながら、側壁絶縁層11aは、少なくとも下部電極層1の側壁を覆っていればよい。図12に示す側壁絶縁層11aのようにバリア層13と下部電極層1と上部電極層3との膜厚の和より低い高さであってもよい。

【0115】なお、本実施例においては、図9および図10で示す側壁絶縁層11aは、全面に形成されたシリコン窒化膜11に20～30%のオーバーエッチングを施すことにより形成される。このオーバーエッチングの際にキャパシタ絶縁層3の上部表面にダメージが与えられる。このキャパシタ絶縁層3に与えられたダメージにより、キャパシタ電極1および5間に電圧が印加された場合、リーク電流が生じてしまう。このため、側壁絶縁層11aの形成時にキャパシタ絶縁層3にダメージが与えられることを防止する必要がある。その方法として、たとえば以下の実施例2および実施例3に述べる2つの

10

20

30

40

50

方法がある。

#### 【0116】実施例2

側壁絶縁層11aをシリコン窒化膜もしくはシリコン酸化膜で形成する場合には、図10に示すように側壁絶縁層11aが形成された後、アニール処理を施す方法がある。このアニール処理の具体的条件として、たとえば500℃の温度で酸素(O<sub>2</sub>)雰囲気中において10~30秒間ランプアニールを施す方法がある。また500~600℃の温度で酸素雰囲気中において30分間炉内アニールする方法もある。これにより、キャパシタ絶縁層3に与えられたダメージは回復し、キャパシタ電極1および5間に電圧が印加されてもリーク電流の発生は防止される。

#### 【0117】実施例3

側壁絶縁層11aの材料にZrO<sub>2</sub> (酸化ジルコニウム)、TiO<sub>2</sub> (酸化チタン)、Ta<sub>2</sub>O<sub>5</sub> (酸化タンタル)を用いる場合には、以下の方法によることが好ましい。

【0118】図13および図14は、本発明の第3の実施例における半導体装置の製造方法を工程順に示す概略断面図である。図13を参照して、下部電極層1とキャパシタ絶縁層3とが形成された後、表面全面にZrO<sub>2</sub>、TiO<sub>2</sub>もしくはTa<sub>2</sub>O<sub>5</sub>よりなる層が形成される。キャパシタ絶縁層3の表面が露出しないように、このZrO<sub>2</sub>などよりなる層の全面に異方性エッチングが施される。これにより、下部電極層1の側壁を覆うとともにキャパシタ絶縁層3の上部表面をも覆う、側壁絶縁層11dがZrO<sub>2</sub>などにより形成される。

【0119】この後、第1の実施例と同様の後工程を経ることにより図14に示す構成が得られる。

【0120】本実施例の方法によれば、側壁絶縁層11dの形成時において、キャパシタ絶縁層3の表面が露出しないようにエッチングが施される。このため、キャパシタ絶縁層3の上部表面がこのエッチングによりダメージを受けることがなく、ゆえにキャパシタ電極1および5間に電圧が印加された場合でも、リーク電流の発生が抑制される。

【0121】また、側壁絶縁層11dの材料であるZrO<sub>2</sub>、TiO<sub>2</sub>もしくはTa<sub>2</sub>O<sub>5</sub>の誘電率εは、各々12.5~18.0、20.0、85.8~170.0であり、シリコン酸化膜(誘電率ε=3.9)やシリコン窒化膜(誘電率ε=7.4)に比較して高い。このため、キャパシタ絶縁層3の上部表面を覆うように側壁絶縁層11dを残存させることにより、キャパシタ電極1および5間に側壁絶縁層11dが介在してもキャパシタの容量は高く維持される。

【0122】これに対して、仮に側壁絶縁層11dにシリコン酸化膜もしくはシリコン窒化膜を用いてキャパシタ絶縁層3の上部表面に残存させた場合には、シリコン窒化膜もしくはシリコン酸化膜は比誘電率が非常に小

いためキャパシタ容量を高く維持することは困難になる。

【0123】このように、側壁絶縁層11dにZrO<sub>2</sub>、TiO<sub>2</sub>もしくはTa<sub>2</sub>O<sub>5</sub>を用いたことにより、キャパシタ容量を高く維持することができるという効果が得られる。

#### 【0124】変形例1

上述した本発明の第1の実施例における半導体装置およびその製造方法においては、耐リーク特性および耐圧特性に優れたキャパシタを製造することができる。しかしながら、上記の製造方法では、下部電極層1と上部電極層5とが電氣的に接続されるおそれがある。以下、そのことについて詳細に説明する。

【0125】第1の実施例の製造方法においては、図8に示す工程でレジストパターン53をマスクとして下部電極層1がパターンニングされる。この下部電極層1の白金をエッチングする際に、一旦エッチング除去された白金が、図15に示すように、下部電極層1とキャパシタ絶縁層3とレジストパターン53との側壁に再度付着することがある。この状態でレジストパターン53が除去される。

【0126】図16を参照して、レジストパターン53が除去されると、下部電極層1の側壁に接して、かつ上方へ延びる白金層1aが残存される。この白金層1aは、キャパシタ絶縁層3の上部表面と連続した表面を有するように物理的・機械的方法によって除去可能であり、具体的にはウォータージェットなどの手法により除去可能である。

【0127】図17を参照して、上記の物理的・機械的方法により、この白金層1aは、キャパシタ絶縁層3の上部表面より上側に延びる部分のみ折れて、それより下側の部分は下部電極層1の側壁に接続された状態で残存される。

【0128】図18を参照して、このように下部電極層1の側壁に接続された残存白金層1aが存在する状態で、上記の実施例と同様の後工程によりキャパシタ10を構成すると、この残存白金層1aにより下部電極層1と上部電極層5とが相互に接続されてしまう。すなわち、下部電極層1の側壁に上部電極層5との絶縁のために側壁絶縁膜11aを設けているにもかかわらず、下部電極層1と上部電極層5とがP部において電氣的に接続されてしまう。この場合、キャパシタ10の機能を維持することはできず、メモリセルの記憶および消去の動作が行なえなくなる。

【0129】上記の下部電極層1と上部電極層5とが電氣的に接続されてしまうという問題を改善するための本発明の第1の変形例を以下に説明する。

【0130】図19~図24は、本発明の第1の変形例における半導体装置の製造方法を工程順に示す概略断面図である。まず図19を参照して、ここまでの工程は上

10

20

30

40

50

記の図7に示す工程とほぼ同様であるためその説明は省略する。この後、キャパシタ絶縁層3の表面全面にシリコン酸化膜15が形成される。

【0131】図20を参照して、シリコン酸化膜15の表面上に所望の形状にパターンニングされたレジストパターン53が形成される。このレジストパターン53をマスクとしてシリコン酸化膜15と、キャパシタ絶縁層3と、白金層1と、バリア層13とが順次エッチングによりパターンニングされる。このエッチング時において、特に白金層1のパターンニングの際に上述と同様にしてレジストパターン53とシリコン酸化膜15とキャパシタ絶縁層3と白金層1との側壁に側壁白金層1aが形成される。この後レジストパターン53が除去される。

【0132】図21を参照して、レジストパターンの除去により、シリコン酸化膜15の表面が露出し、かつシリコン酸化膜15の上部表面より上方へ延びる側壁白金層1aが残存する。この側壁白金層1aのシリコン酸化膜15より上側部分は、ウォータージェットなどの物理的・機械的方法により容易に除去可能である。

【0133】図22を参照して、この物理的・機械的方法により、下部電極層1の側壁に接続され、かつシリコン酸化膜15の上部表面とほぼ同じ高さを有する側壁残存白金層1aが残存される。この後、ウェハ表面に、50℃～70℃の温度で王水処理によるウエットエッチングが施される。

【0134】図23を参照して、このウエットエッチングでは、白金はエッチングされやすいが、シリコン酸化膜はほとんどエッチングされない。よって、このウエットエッチングにより、側壁残存白金層のみが除去されることとなる。すなわち、このウエットエッチング時において、シリコン酸化膜15はキャパシタ絶縁層3等を保護する役割をなす。

【0135】図24を参照して、この後、上述した実施例と同様の後工程により側壁絶縁膜11aが形成される。さらに、この側壁絶縁膜11aとキャパシタ絶縁層3とシリコン酸化膜15とを介在して下部電極層1を覆うように白金もしくはドーブト多結晶シリコンよりなる上部電極層5が形成される。これにより、キャパシタ10が形成される。

【0136】本発明の第1の変形例では、キャパシタ絶縁層3上にシリコン酸化膜15がさらに設けられる。このため、キャパシタ絶縁層3にエッチングによるダメージを与えることなく、下部電極層1の側壁に接する側壁残存白金層1aをウエットエッチングで除去することができる。よって、キャパシタ10の性能に影響を与えることなく、下部電極層1と上部電極層5とが側壁残存白金層1aにより電氣的に接続することは防止される。

【0137】なお、第1の変形例では、キャパシタ絶縁層3の保護膜15としてシリコン酸化膜を用いているが、これに限られるものではなく、側壁残存白金層1a

のエッチングによる除去時において、ほとんどエッチング除去されることのない材料であれば採用することができる。

#### 【0138】変形例2

また第1および第2の実施例においては、下部電極層1とキャパシタ絶縁層3との側壁は連続した表面を構成している。しかしながら、下部電極層1とキャパシタ絶縁層3の側壁は連続した表面を有していなくてもよく、下部電極層1の側壁とキャパシタ絶縁層3の側壁とにより段差が構成されていてもよい。以下、下部電極層1とキャパシタ絶縁層3との側壁により段差が構成される場合を本発明の第2の変形例として説明する。

【0139】図25～図30は、本発明の第2の変形例における半導体装置の製造方法を工程順に示す概略断面図である。

【0140】第2の変形例の製造方法は、図25に示す工程までは従来の製造方法と同様の工程を経る。図25を参照して、下部電極層1がパターンニングされた後、レジストパターンのみが除去される。

【0141】次に図26を参照して、表面全面にフォトリソレジスト53cが0.5μm以下の膜厚となるように塗布される。このフォトリソレジスト53cに全面エッチバックが施される。

【0142】図27を参照して、このエッチバックにより、下部電極層1の上部表面が露出するようにレジストパターン53dが残存される。このレジストパターン53dの上部表面は、下部電極層1の上部表面とほぼ連続した表面となる。

【0143】図28を参照して、表面全面にたとえばBST、ST、PZTなどの高誘電率材料よりなる層3dが形成される。高誘電率材料にPZTを用いた場合、1000～2000Åの膜厚で、またBSTあるいはSTを用いた場合、各々500～1000Å、300～700Åの膜厚で高誘電率材料層3が形成される。

【0144】図29を参照して、高誘電率材料層3の表面上に、下部電極層1の平面寸法より大きく、それにより下部電極層1の領域上を覆うレジストパターン53eが露光・現像により形成される。このレジストパターン53eをマスクとして高誘電率材料層3dに異方性エッチングが施されることにより、下部電極層1の平面寸法より大きく、それにより下部電極層1の領域上を覆う高誘電率材料よりなるキャパシタ絶縁層3dが形成される。この後、レジストパターン53dおよび53eが除去される。

【0145】図30を参照して、キャパシタ絶縁層3dおよび層間絶縁膜41上を覆うように白金などよりなる上部電極層5dがスパッタ法により形成される。この際、下部電極層1の側壁と上部電極層5dとの間には空洞90が形成される。この空洞90により、下部電極層1と上部電極層5dが電氣的に接続されることが防止さ



れる。

【0146】上記のプロセスを経て形成されることにより、下部電極層1の側壁とキャパシタ絶縁層3eの側壁とが段差を構成するようなキャパシタ構造を得ることができる。

【0147】なお、本発明の実施例1、2および変形例1、2においては、キャパシタ絶縁層3に用いられる高誘電率材料として、PZTなどの強誘電体膜、もしくはBST、STなどの常誘電体膜が用いられるが、キャパシタ絶縁層に用いる場合には、以下の理由により強誘電体膜より常誘電体膜の方が好ましい。

【0148】図31は、キャパシタ構造を模式的に示す概略断面図である。図31を参照して、キャパシタ絶縁層203として常誘電体もしくは強誘電体を用いて、下部電極層201と上部電極層205との間に電圧Vを印加した場合のキャパシタ容量Qを測定すると図32に示すようになる。

【0149】図32は、キャパシタ絶縁層として常誘電体もしくは強誘電体を用いた場合のキャパシタ電極間の印加電圧Vとキャパシタ容量Qとの関係を示すグラフである。図32を参照して、キャパシタ絶縁層に常誘電体膜を用いた場合、印加電圧V-容量Q曲線はほぼ直線となる。つまり、印加電圧Vと容量Qとは、ほぼ比例の関係にある。

【0150】これに対して、キャパシタ絶縁層に強誘電体膜を用いた場合には、印加電圧V-容量Q曲線は履歴曲線となる。すなわち、キャパシタ電極間に電圧Vを印加し始める際には、電圧V=0、容量Q=0から曲線C<sub>1</sub>に沿って容量Qが増加する。ところがキャパシタ電極間の印加電圧Vを減少させていくと、曲線C<sub>2</sub>に沿って容量Qが減少し、電圧Vが0になってもキャパシタ電極間に容量Q<sub>2</sub>が残留する。

【0151】以上の印加電圧V-容量Qの特性より、キャパシタ絶縁層に常誘電体膜を用いた場合は強誘電体膜を用いた場合に比べて、

- (1) キャパシタの実効電荷量を大きく確保できる
- (2) 膜疲労が生じない

という利点を有する。以下、その利点について詳細に説明する。

【0152】(1) 実効電荷について

キャパシタ絶縁層に常誘電体膜を用いた場合、キャパシタの印加電圧V-容量Q曲線はほぼ直線となる。このため、キャパシタ電極間に電圧 $V_{cc}/2$ を印加すると、容量Q<sub>1</sub>が得られ、この後にキャパシタ電極間の印加電圧を0にすると容量も0となる。このため、キャパシタの実効電荷量(実際のキャパシタの動作時に使われる電荷量)は $Q_1 - 0 = Q_1$ となる。

【0153】これに対して、キャパシタ絶縁層に強誘電体膜を用いた場合、キャパシタの印加電圧V-容量Q曲線は履歴曲線となる。このため、キャパシタ電極間に電

圧 $V_{cc}/2$ を印加すると、容量Q<sub>1</sub>が得られ、この後に印加電圧を0にするとキャパシタに容量Q<sub>2</sub>が残留する。このため、キャパシタの実効電荷量は $Q_1 - Q_2$ となり、キャパシタ絶縁層に常誘電体膜を用いた場合のキャパシタの実効電荷量Q<sub>1</sub>より低くなる。キャパシタの実効電荷量が小さくなると、データの読出が困難となり、ICの誤動作が引き起こされる。

【0154】以上より、キャパシタ絶縁層に常誘電体膜を用いると、強誘電体膜を用いた場合よりも、キャパシタの実効電荷を大きく確保でき、安定した動作を実現することができる。

【0155】(2) 膜疲労について

キャパシタの印加電圧V-容量Q曲線が履歴曲線となる場合、キャパシタ絶縁層に膜疲労が生じる。この膜疲労が生じることは、たとえば、H.M.Duiker et al. "Fatigue and Switching in ferroelectric memories Theory and experiment" J.Appl.Phys.68(11),1 December 1990 pp.5783-5791、またはR.Moazzami et al. "ENDURANCE PROPERTIES OF FERROELECTRIC PZT THIN FILMS" J.EDM 90 pp.417-420に記載されている。

【0156】このため、キャパシタ絶縁層に強誘電体膜を用いると、キャパシタ絶縁層に膜疲労が生じてしまう。キャパシタ絶縁層に膜疲労が生じると、キャパシタ電極間でリーク電流が生じやすくなってしまう。

【0157】これに対して、キャパシタ絶縁層に常誘電体膜を用いるとキャパシタの印加電圧V-容量Q曲線は略直線であるため、キャパシタ絶縁層に膜疲労が生じにくい。

【0158】したがって、キャパシタ絶縁層に常誘電体膜を用いると、キャパシタ絶縁層に膜疲労が生じにくい。そのためキャパシタ電極間でリーク電流が生じにくくなる。

【0159】なお、本発明の実施例および変形例においては、バリア層としてチタン/窒化チタン/チタンの3層構造のものについて説明したが、バリア層13の構成はこれに限られず、チタン単層もしくはチタン/窒化チタンの2層構造であってもよい。またチタン単層の場合には、たとえば200Åの膜厚でバリア層13は形成される。さらに、バリア層13はこれらの構成のものに限られず、チタン、高融点金属またはそのシリサイド化物もしくは酸化物ならびにそれらの合金であればよく、プラグ層43aから不純物が下部電極層1へ拡散するのを防止でき、かつ層間絶縁膜41と下部電極層1との密着性を向上させるものであればよい。

【0160】また、下部電極層1として白金について説明したが、これに限られるものではなく、パラジウムもしくはRuO<sub>2</sub>よりなっているものでもよい。

【0161】さらに、キャパシタ絶縁層3は、PZT、PLZT、BST、STなどについて説明したが、これに限られるものではなく、いわゆる高誘電率材料であれば採用することができる。



【0162】加えて、上部電極層5に白金もしくはドーパント多結晶シリコンを用いた場合について説明したが、これに限られるものではなく、上部電極層5は、アルミニウム、アルミニウム合金（AlSi、AlSiCuなど）、チタン（Ti）、窒化チタン（YiN）、タングステン（W）などであってよい。また、上部電極層5は単層構造に限られずたとえば窒化チタン／白金などの積層構造を有していてもよい。

【0163】なお、本発明の第1および第2の実施例において、キャパシタ絶縁層3はスパッタ法およびCVD法のいずれで形成しても耐リーク特性および耐圧特性に優れたキャパシタ10を得ることができる。一般にCVD法による成膜速度は150～200Å/分であり、またスパッタ法による成膜速度は25～30Å/分である。このため、成膜速度の点を鑑みれば、本発明の実施例におけるキャパシタ絶縁層3はCVD法により形成することが望ましい。

#### 【0164】

【発明の効果】本発明の半導体装置では、キャパシタ絶縁層は、下部電極層上にのみ形成されている。このため、キャパシタ絶縁層の膜厚が薄くなったり、膜切れが生じたりすることはない。したがって、キャパシタの機能を維持することができ、かつ良好な耐リーク特性および耐圧特性を有するキャパシタを得ることが可能となる。

【0165】また、キャパシタ絶縁層は下部電極層上にのみ形成されている。このため、たとえばスパッタ法でキャパシタ絶縁層が形成される場合でも、絶縁層の上部表面上に形成された部分に比べて、キャパシタ絶縁層は比較的多数のペロブスカイト構造を有している。したがって、良好な耐リーク特性および耐圧特性を有するキャパシタを得ることが可能となる。

【0166】本発明の半導体装置の好ましい局面では、下部電極層の側壁を覆うように絶縁層の上部表面上に側壁絶縁層が形成されている。また、この側壁絶縁層は絶縁層の上部表面から上方へ延びる部分を有し、この上方へ延びる部分は下側部分ほどその幅が大きく、上側部分ほどその幅が小さくなるように形成されている。このため、この側壁絶縁層上に形成される上部電極層の段差被覆性が改善される。

【0167】本発明の半導体装置の好ましい他の局面では、キャパシタの実行電荷を大きく確保できるため、キャパシタに蓄積されたデータの読出において誤動作が生じ難くなる。またキャパシタ絶縁層の膜疲労も生じ難くなるため、キャパシタ電極間でリーク電流の発生も防止できる。

【0168】本発明の半導体装置の好ましいさらに他の局面では、キャパシタ電極間のリーク電流が増大することは防止される。

【0169】本発明の半導体装置の好ましいさらに他の

局面では、良好なキャパシタ容量を維持することができる。

【0170】本発明の半導体装置の製造方法では、下部電極層をパターニングする前に、この下部電極層上にキャパシタ絶縁層が形成される。このため、たとえば下地表面に敏感な成長法であるCVD法によりキャパシタ絶縁層が形成されても、下部電極層上において比較的ペロブスカイト構造を多く有するキャパシタ絶縁層を得ることができる。したがって、耐リーク特性および耐圧特性に優れたキャパシタを形成することができる。

【0171】また、下部電極層をパターニングする前に、この下部電極層上にキャパシタ絶縁層が形成される。このため、キャパシタ絶縁層の膜厚の薄い部分が生じたり、膜切れが生じたりすることはない。したがって、耐リーク特性および耐圧特性に優れたキャパシタを形成することができる。

【0172】本発明の半導体装置の製造方法の好ましい局面では、キャパシタ絶縁層は第2の絶縁層が露出することはないため、キャパシタ電極間にダメージによるリーク電流が生ずることは防止される。

【0173】本発明の半導体装置の製造方法の好ましい他の局面では、下部電極層に熱処理が施されるため、キャパシタ電極間にダメージによるリーク電流が生ずることは防止される。

#### 【図面の簡単な説明】

【図1】 本発明の第1の実施例における半導体装置の構成を概略的に示す断面図である。

【図2】 本発明の第1の実施例における半導体装置の製造方法の第1工程を示す概略断面図である。

【図3】 本発明の第1の実施例における半導体装置の製造方法の第2工程を示す概略断面図である。

【図4】 本発明の第1の実施例における半導体装置の製造方法の第3工程を示す概略断面図である。

【図5】 本発明の第1の実施例における半導体装置の製造方法の第4工程を示す概略断面図である。

【図6】 本発明の第1の実施例における半導体装置の製造方法の第5工程を示す概略断面図である。

【図7】 本発明の第1の実施例における半導体装置の製造方法の第6工程を示す概略断面図である。

【図8】 本発明の第1の実施例における半導体装置の製造方法の第7工程を示す概略断面図である。

【図9】 本発明の第1の実施例における半導体装置の製造方法の第8工程を示す概略断面図である。

【図10】 本発明の第1の実施例における半導体装置の製造方法の第9工程を示す概略断面図である。

【図11】 本発明の第1の実施例における半導体装置の製造方法の第10工程を示す概略断面図である。

【図12】 本発明の第1の実施例における半導体装置において、側壁絶縁膜の形状を変更した場合の構成を示す概略断面図である。

【図13】 本発明の第3の実施例における半導体装置の製造方法の第1工程を示す概略断面図である。

【図14】 本発明の第3の実施例における半導体装置の製造方法の第2工程を示す概略断面図である。

【図15】 下部電極層と上部電極層とが電氣的に接続される様子の第1工程を示す概略断面図である。

【図16】 下部電極層と上部電極層とが電氣的に接続される様子の第2工程を示す概略断面図である。

【図17】 下部電極層と上部電極層とが電氣的に接続される様子の第3工程を示す概略断面図である。

【図18】 下部電極層と上部電極層とが電氣的に接続される様子の第4工程を示す概略断面図である。

【図19】 本発明の第1の変形例における半導体装置の製造方法の第1工程を示す概略断面図である。

【図20】 本発明の第1の変形例における半導体装置の製造方法の第2工程を示す概略断面図である。

【図21】 本発明の第1の変形例における半導体装置の製造方法の第3工程を示す概略断面図である。

【図22】 本発明の第1の変形例における半導体装置の製造方法の第4工程を示す概略断面図である。

【図23】 本発明の第1の変形例における半導体装置の製造方法の第5工程を示す概略断面図である。

【図24】 本発明の第1の変形例における半導体装置の製造方法の第6工程を示す概略断面図である。

【図25】 本発明の第2の変形例における半導体装置の製造方法の第1工程を示す概略断面図である。

【図26】 本発明の第2の変形例における半導体装置の製造方法の第2工程を示す概略断面図である。

【図27】 本発明の第2の変形例における半導体装置の製造方法の第3工程を示す概略断面図である。

【図28】 本発明の第2の変形例における半導体装置の製造方法の第4工程を示す概略断面図である。

【図29】 本発明の第2の変形例における半導体装置の製造方法の第5工程を示す概略断面図である。

【図30】 本発明の第2の変形例における半導体装置の製造方法の第6工程を示す概略断面図である。

【図31】 キャパシタ絶縁層に常誘電体もしくは強誘電体を用いた場合のキャパシタの構成を模式的に示す概略断面図である。

【図32】 キャパシタ絶縁層に常誘電体もしくは強誘電体を用いた場合のキャパシタの印加電圧Vと容量Qとの関係を示すグラフである。

【図33】 一般的なDRAMのブロック図である。

【図34】 従来のスタックタイプのキャパシタを有するDRAMのメモリセル構造を示す概略断面図であ

る。

【図35】 従来の半導体装置の構成を概略的に示す断面図である。

【図36】 従来の半導体装置の製造方法の第1工程を示す概略断面図である。

【図37】 従来の半導体装置の製造方法の第2工程を示す概略断面図である。

【図38】 従来の半導体装置の製造方法の第3工程を示す概略断面図である。

10 【図39】 従来の半導体装置の製造方法の第4工程を示す概略断面図である。

【図40】 従来の半導体装置の製造方法の第5工程を示す概略断面図である。

【図41】 従来の半導体装置の製造方法の第6工程を示す概略断面図である。

【図42】 従来の半導体装置の製造方法の第7工程を示す概略断面図である。

【図43】 従来の半導体装置の製造方法の第8工程を示す概略断面図である。

20 【図44】 従来の半導体装置の製造方法の第9工程を示す概略断面図である。

【図45】 従来の半導体装置の製造方法の第10工程を示す概略断面図である。

【図46】 従来の半導体装置の製造方法において、キャパシタ絶縁層をCVD法により形成した場合の構成を示す概略断面図である。

【図47】 図35におけるキャパシタ部を拡大して示す概略断面図である。

30 【図48】 実験に用いたサンプルの構造を概略的に示す断面図である。

【図49】 図48に示すサンプルの強誘電体の表面形状を走査型電子顕微鏡で観察した図である。

【図50】 サンプル(A)とサンプル(B)のX線回折を行なった実験結果である。

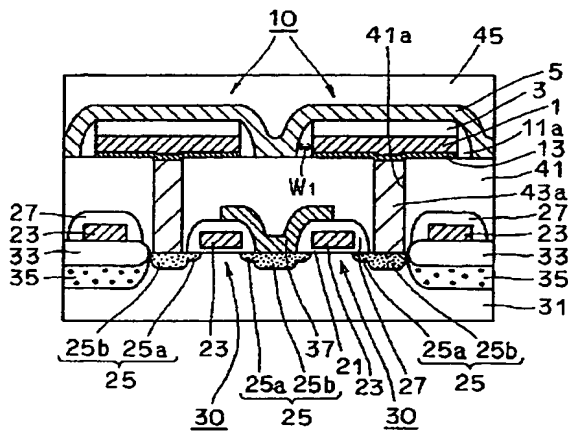
【図51】 サンプル(A)とサンプル(B)とに生じるリーク電流を測定した実験結果である。

【図52】 従来の半導体装置において、下部電極層表面上において損傷および吸着が生じた様子を示す概略断面図である。

【符号の説明】

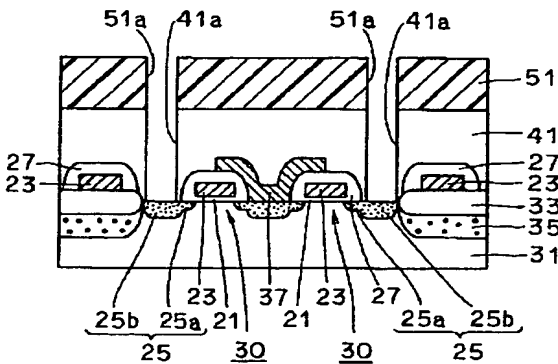
1 下部電極層、3 キャパシタ絶縁層、5 下部電極層、10 キャパシタ、11a 側壁絶縁層、25 ソース/ドレイン領域、31 シリコン基板、41 層間絶縁膜、41a コンタクトホール、43a プラグ層。

【図1】

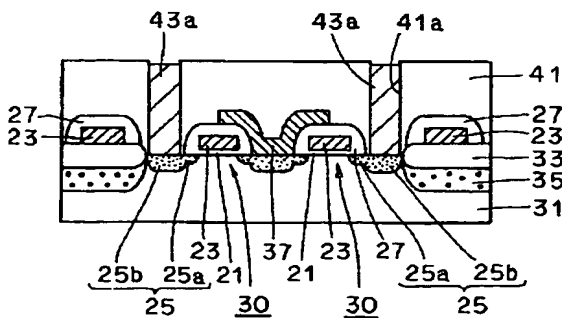


- |             |                |
|-------------|----------------|
| 1: 下部電極層    | 25: ソース/ドレイン領域 |
| 3: キャパシタ絶縁層 | 31: シリコン基板     |
| 5: 上部電極層    | 41: 層間絶縁膜      |
| 10: キャパシタ   | 41a: コンタクトホール  |
| 11a: 側壁絶縁層  | 43a: プラグ層      |

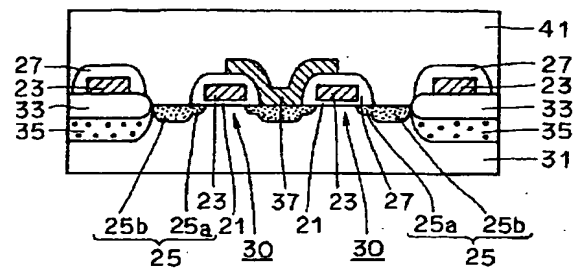
【図3】



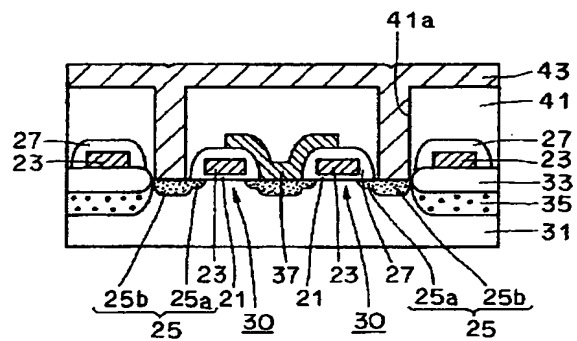
【図5】



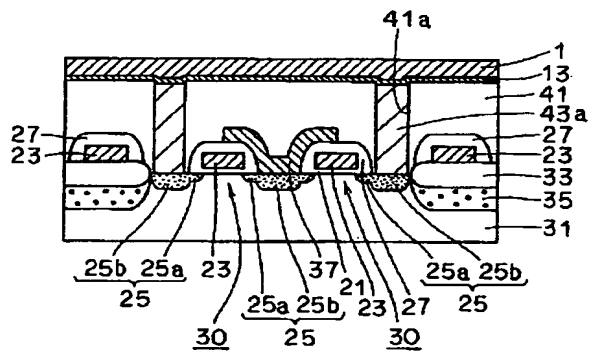
【図2】



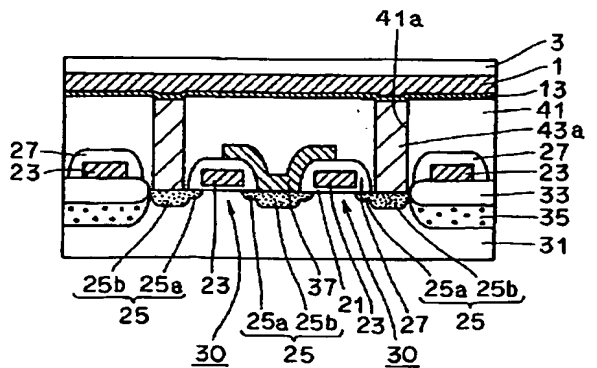
【図4】



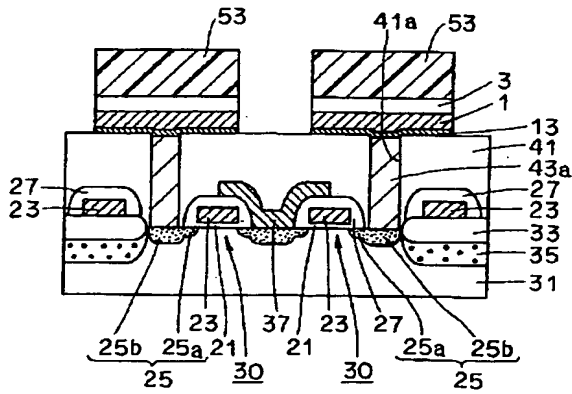
【図6】



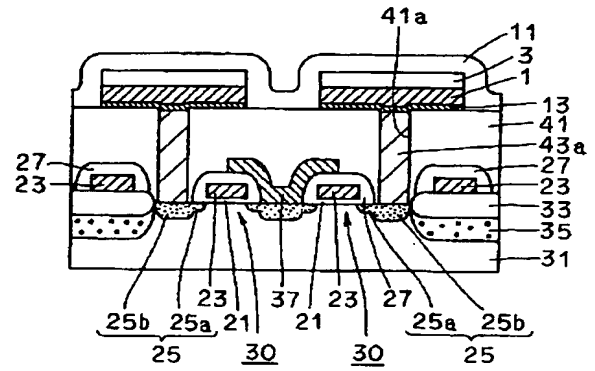
【図7】



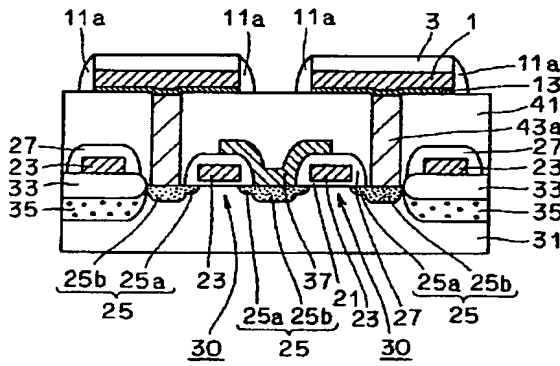
【図8】



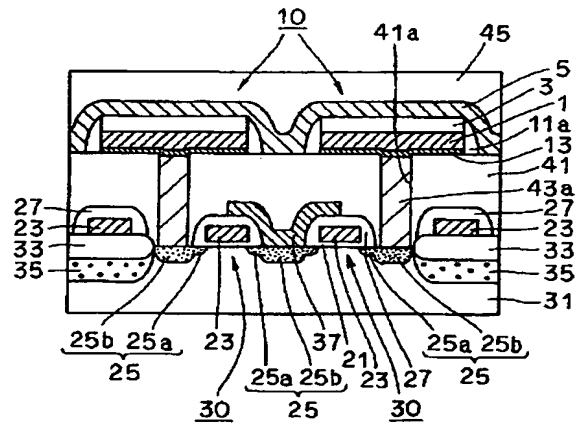
【図9】



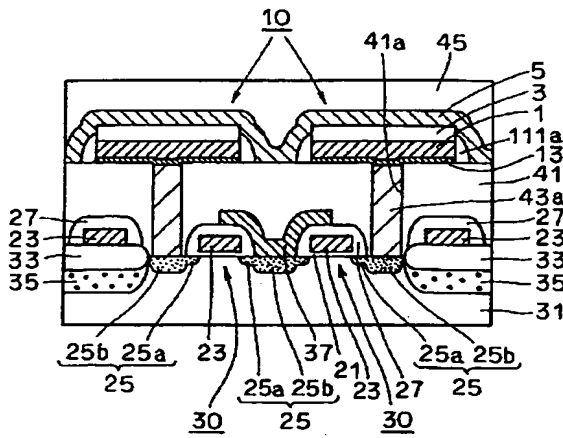
【図10】



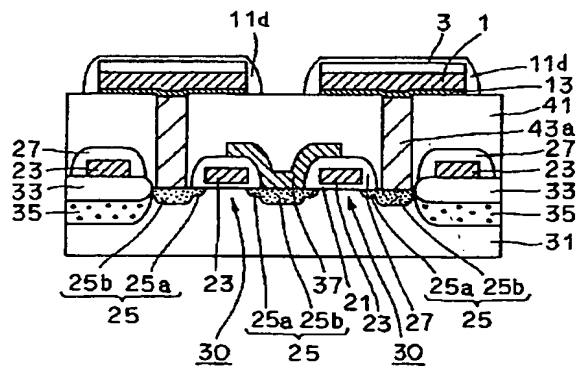
【図11】



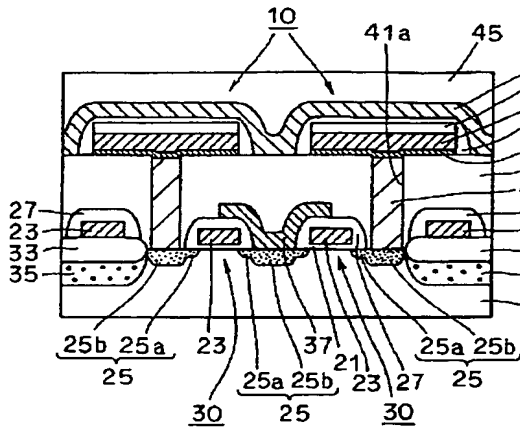
【図12】



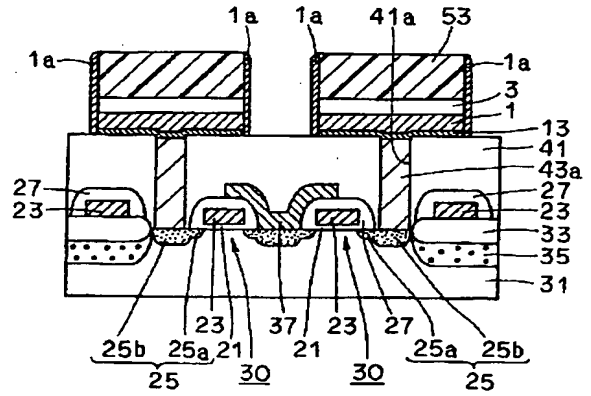
【図13】



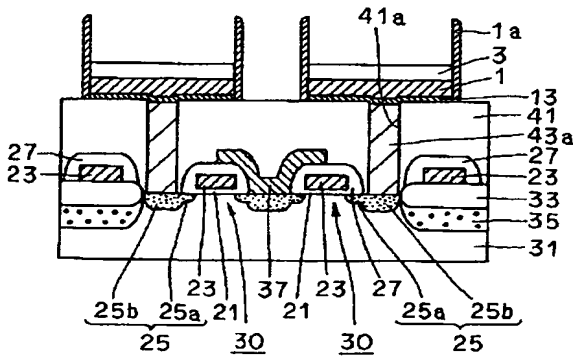
【図14】



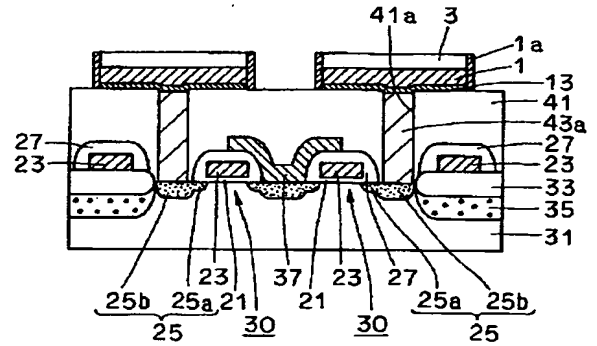
【図15】



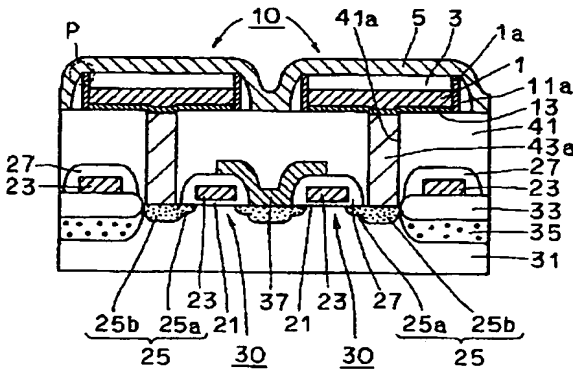
【図16】



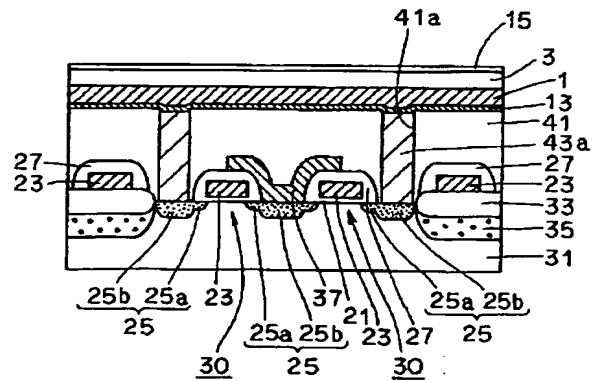
【図17】



【図18】



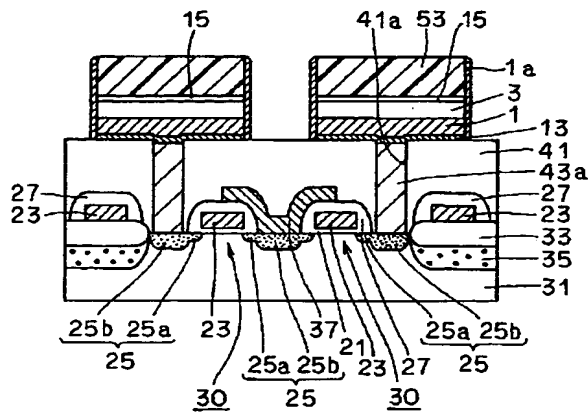
【図19】



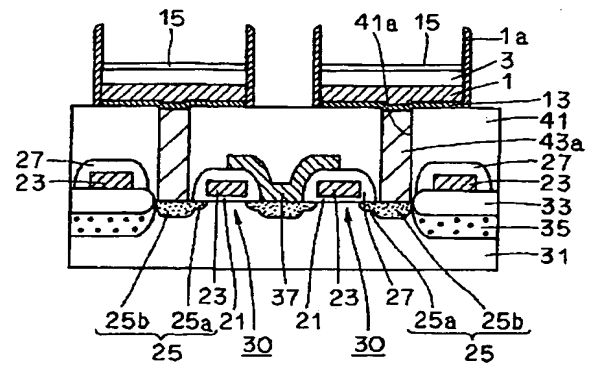
【図31】



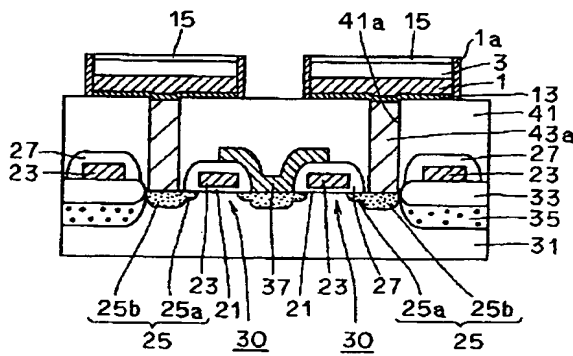
【図20】



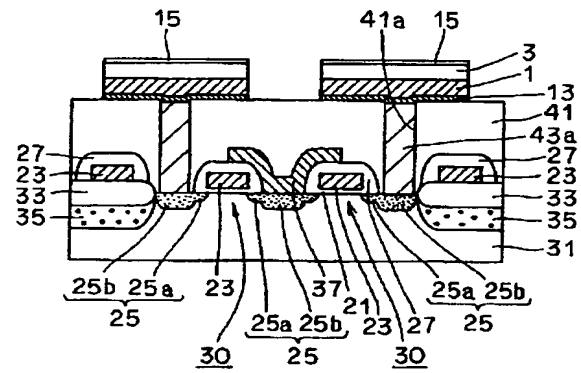
【図21】



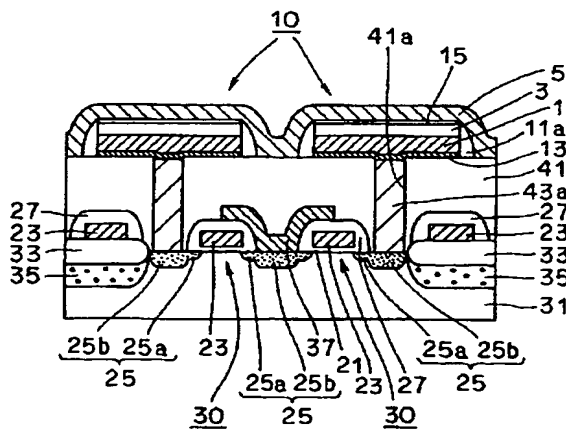
【図22】



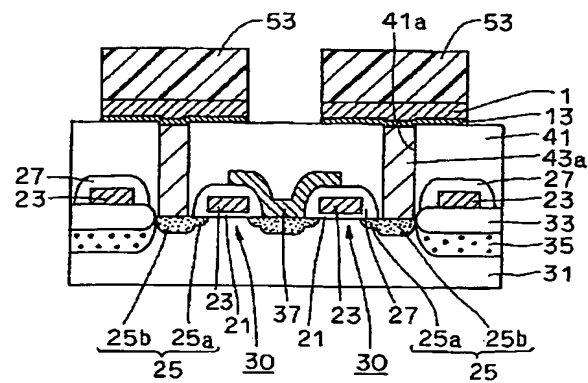
【図23】



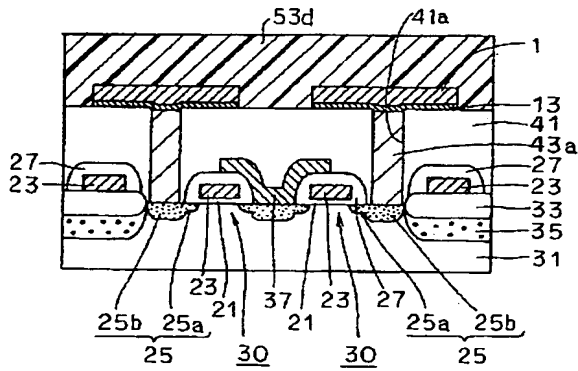
【図24】



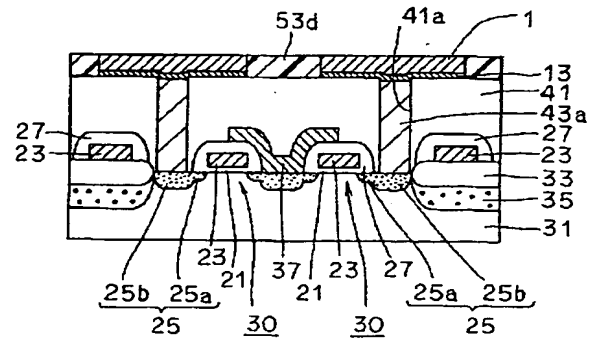
【図25】



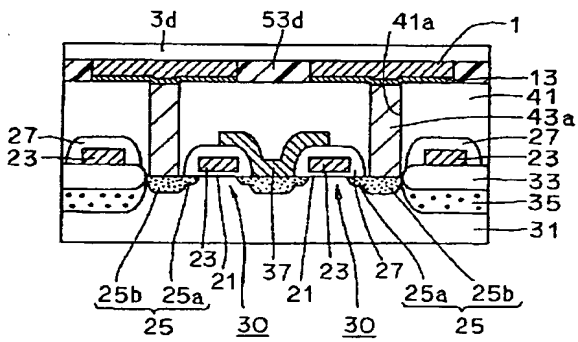
【図26】



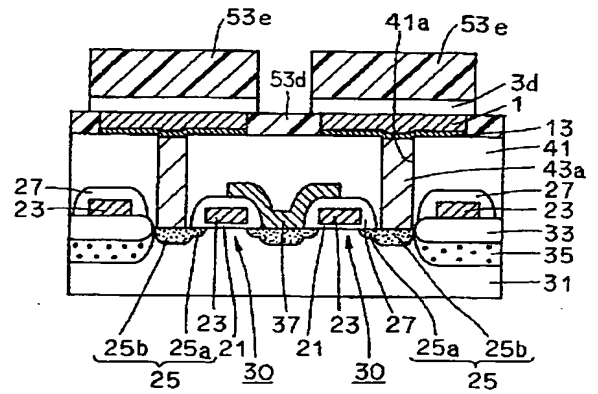
【図27】



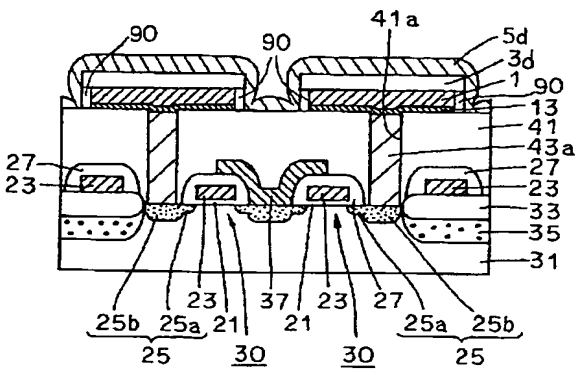
【図28】



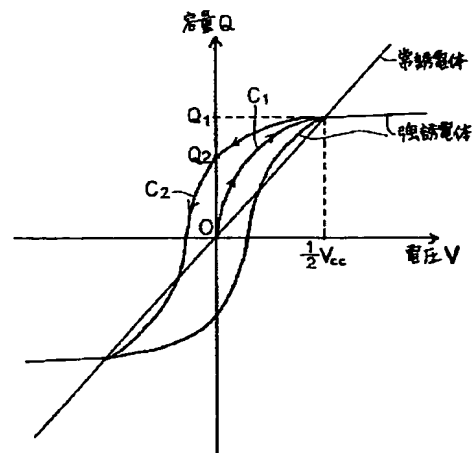
【図29】



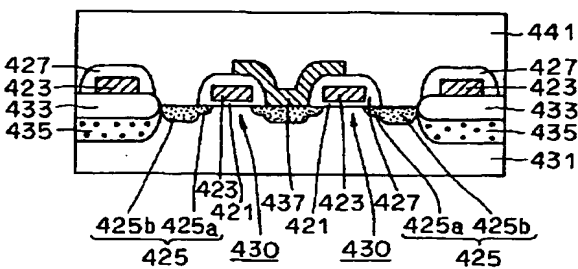
【図30】



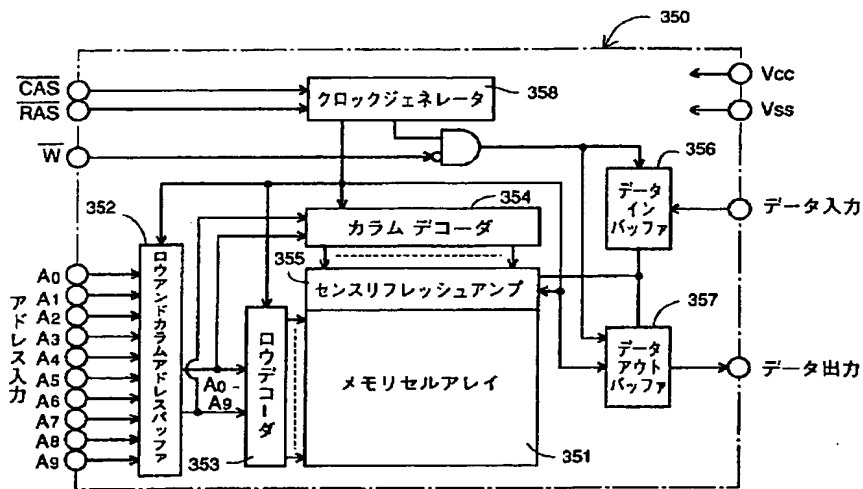
【図32】



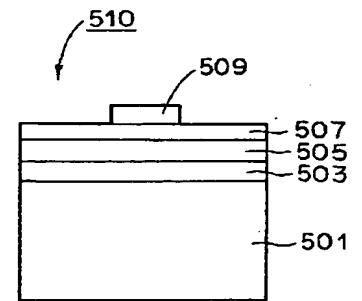
【図37】



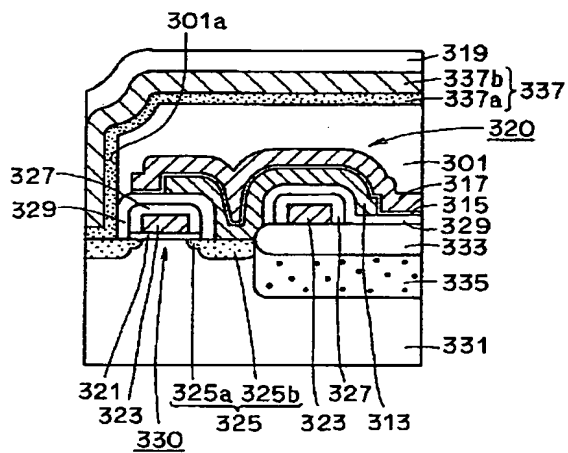
【図 3 3】



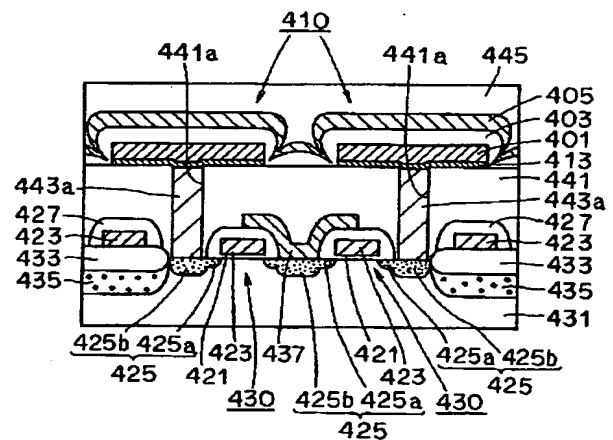
【図 4 8】



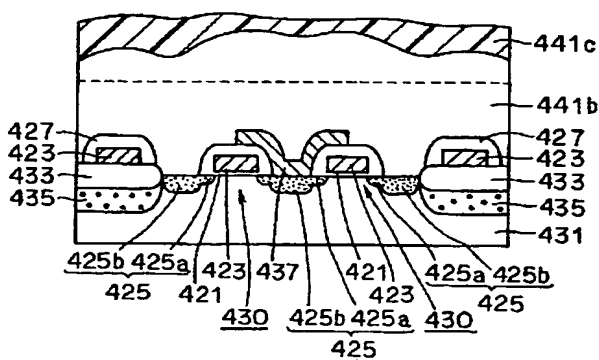
【図 3 4】



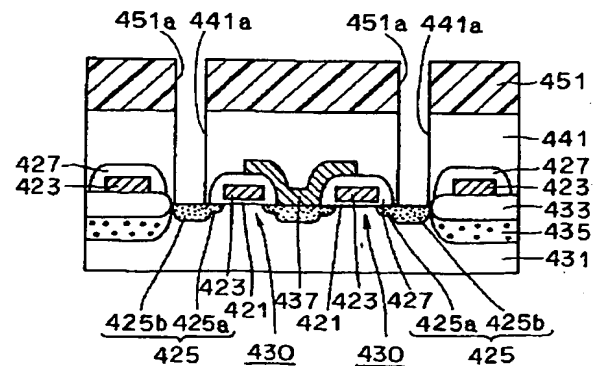
【図 3 5】



【図 3 6】

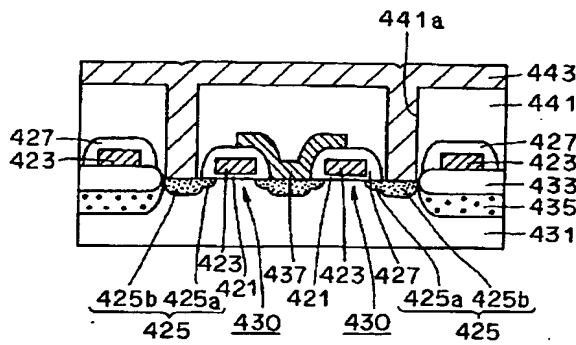


【図 3 8】

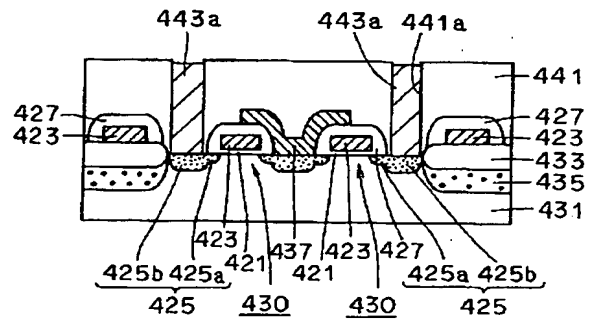




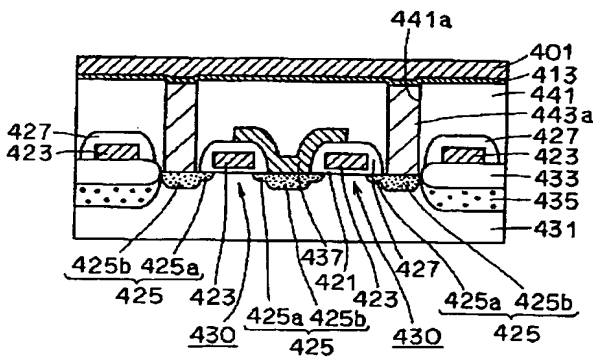
【図39】



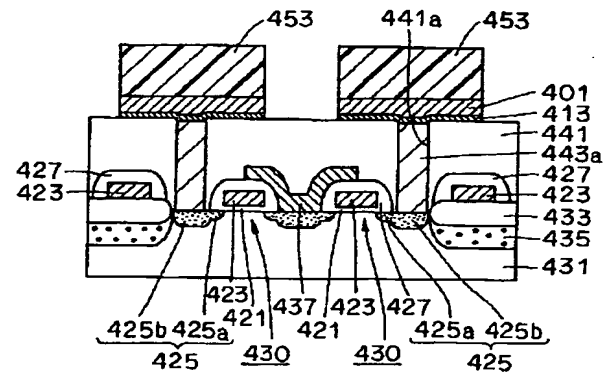
【図40】



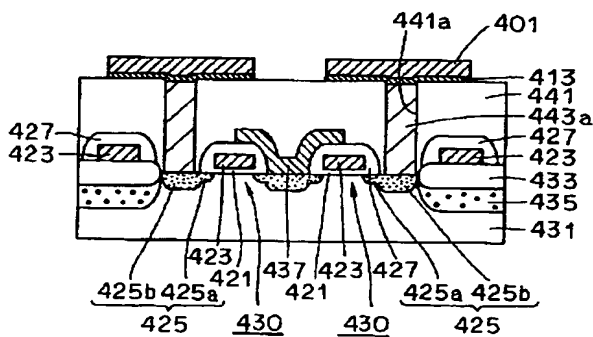
【図41】



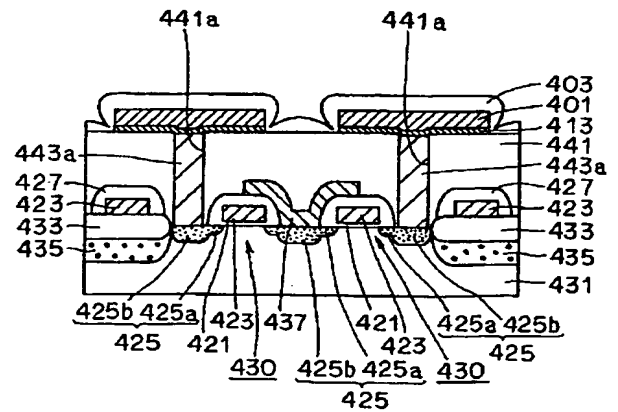
【図42】



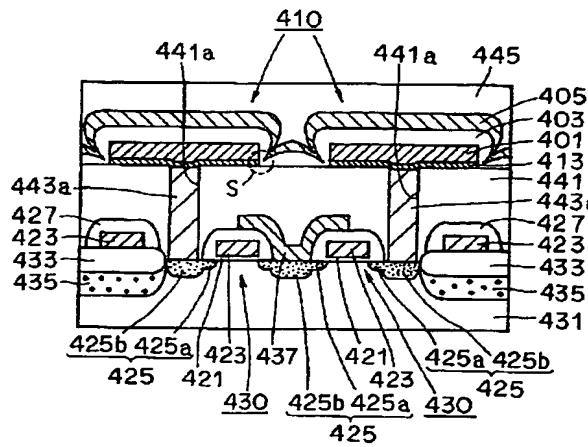
【図43】



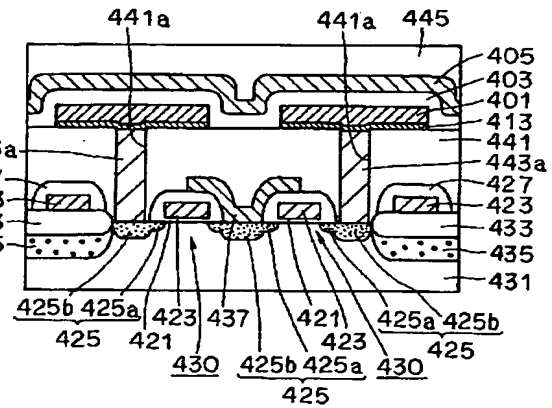
【図44】



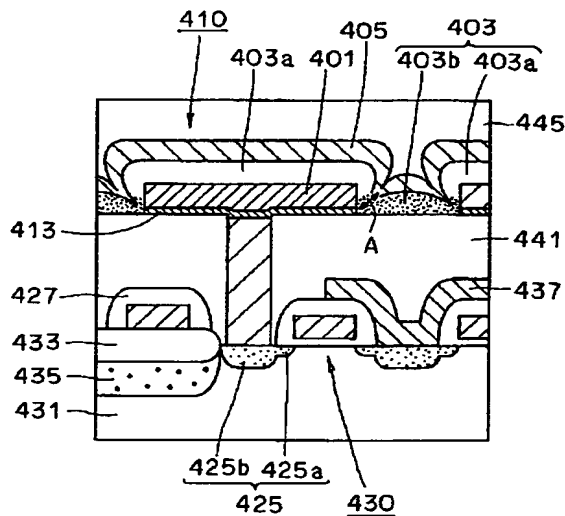
【図45】



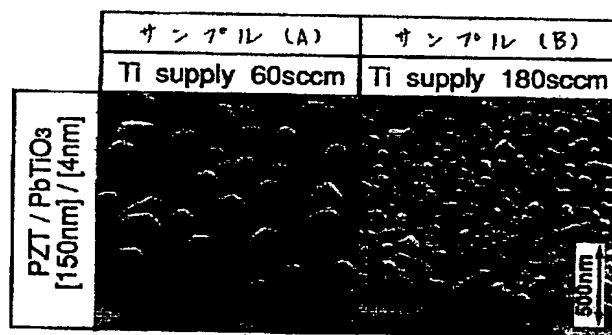
【図46】



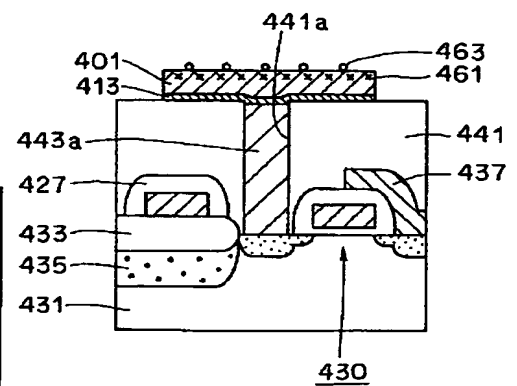
【図47】



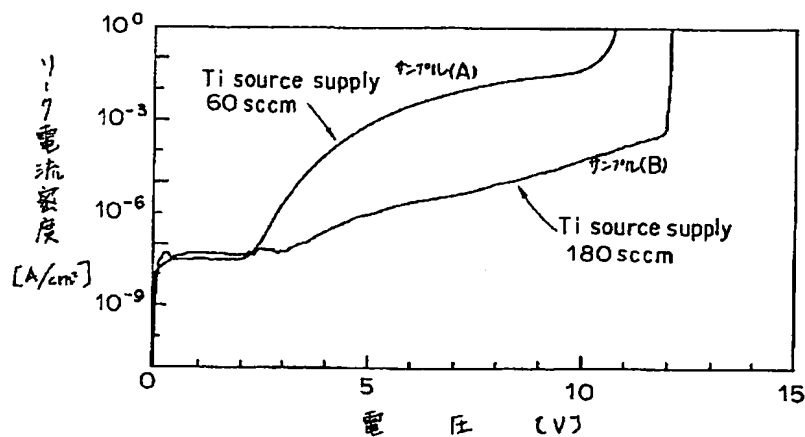
【図49】



【図52】

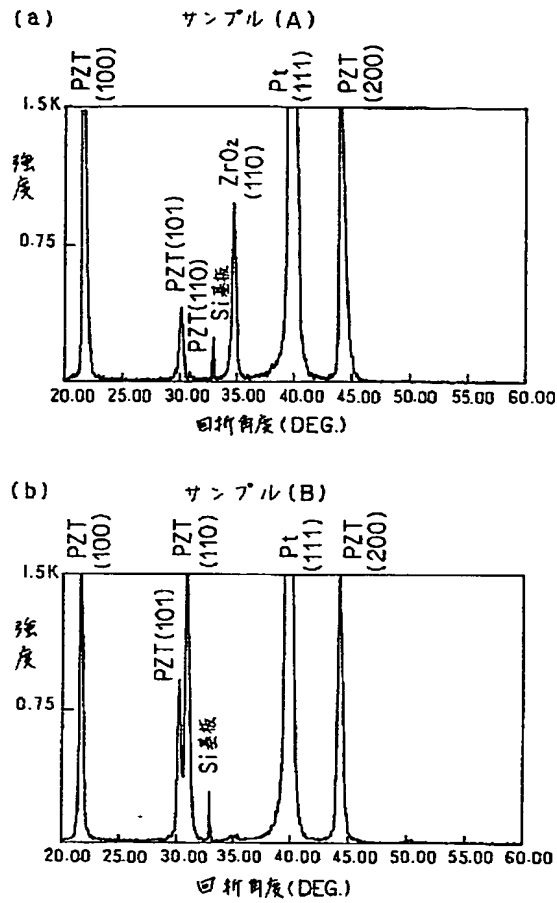


【図51】



BEST AVAILABLE COPY

【図50】



フロントページの続き

(51)Int.Cl.<sup>6</sup>

H 0 1 L 27/108

識別記号

庁内整理番号

F I

技術表示箇所

8832-4M

H 0 1 L 27/04

C